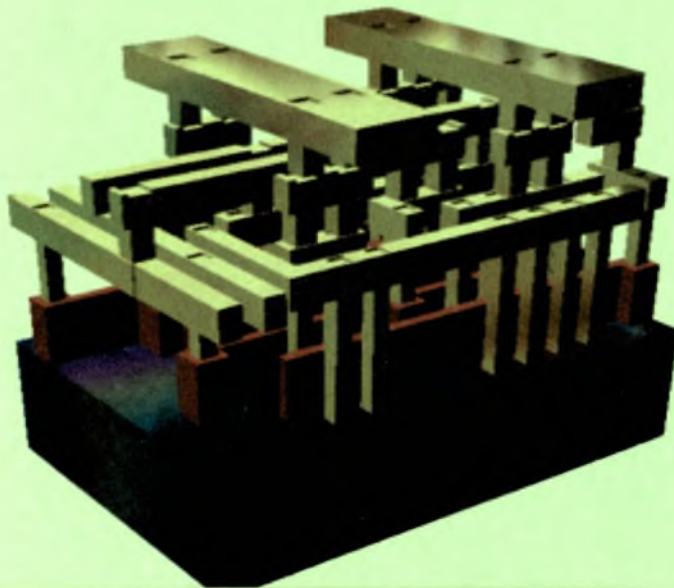


ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ

ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

**«ΚΑΤΑΣΚΕΥΗ ΜΙΑΣ ΒΙΒΛΙΟΘΗΚΗΣ ΑΠΟ
STANDARD CELLS»**



ΓΡΗΓΟΡΙΑΔΟΥ ΑΝΤΩΝΙΑ

ΒΟΛΟΣ, ΟΚΤΩΒΡΙΟΣ 2008



**ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ
ΒΙΒΛΙΟΘΗΚΗ & ΚΕΝΤΡΟ ΠΛΗΡΟΦΟΡΗΣΗΣ
ΕΙΔΙΚΗ ΣΥΛΛΟΓΗ «ΓΚΡΙΖΑ ΒΙΒΛΙΟΓΡΑΦΙΑ»**

Αριθ. Εισ.:	6703/1
Ημερ. Εισ.:	13-01-2009
Δωρεά:	Συγγραφέα
Ταξιθετικός Κωδικός:	ΠΤ – ΜΗΥΤΔ
	2008
	ΓΡΗ

ΠΑΝΕΠΙΣΤΗΜΙΟ ΘΕΣΣΑΛΙΑΣ

**ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ
ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ ΚΑΙ ΔΙΚΤΥΩΝ**

**ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ
«ΚΑΤΑΣΚΕΥΗ ΜΙΑΣ ΒΙΒΛΙΟΘΗΚΗΣ ΑΠΟ
STANDARD CELLS»**

ΓΡΗΓΟΡΙΑΔΟΥ ΑΝΤΩΝΙΑ

ΕΠΙΒΛΕΠΩΝ ΚΑΘΗΓΗΤΗΣ

ΣΤΑΜΟΥΛΗΣ ΓΕΩΡΓΙΟΣ

2^{ος} ΕΠΙΒΛΕΠΩΝ:

ΕΥΜΟΡΦΟΠΟΥΛΟΣ ΝΕΣΤΩΡΑΣ

ΕΥΧΑΡΙΣΤΙΕΣ

Στο δύσκολο έργο ολοκλήρωσης της παρούσας εργασίας με βοήθησαν και μου συμπαράσταθηκαν κάποια άτομα, τα οποία θα ήθελα να ευχαριστήσω.

Καταρχήν, θα ήθελα να ευχαριστήσω τον κ. Σταμούλη Γεώργιο για την πολύτιμη καθοδήγηση, συνεργασία και τη βοήθεια που μου προσέφερε για την επίλυση των όποιων προβλημάτων παρουσιάστηκαν κατά τη διάρκεια της εργασίας. Η υποστήριξη του και ο χρόνος που αφιέρωσε στο πρόσωπο μου συνέβαλαν στην επιτυχή ολοκλήρωση της εργασίας

Συνεχίζοντας θα ήθελα να ευχαριστήσω τους γονείς μου, Νίκο κ Χρυσούλα, για την συμπαράσταση και καθοδήγηση τους, σε όλη τη διάρκεια των σπουδών μου ,καθώς και τα αδέρφια μου, Θάνο κ Δημήτρη, γιατί ήταν πάντα δίπλα μου, όταν τους χρειάστηκα.

Τέλος ευχαριστώ όλους τους φίλους μου για την καθημερινή τους παρουσία και συμπαράσταση όλα αυτά τα χρόνια και τους συμφοιτητές μου, για την βοήθεια τους.

ΣΥΝΟΨΗ

Η σχεδίαση βασισμένη σε Standard-cells αποτελεί πλέον τη πιο διαδεδομένη μέθοδο για τη σχεδίαση VLSI κυκλωμάτων. Η αύξηση στην πολυπλοκότητα των VLSI κυκλωμάτων οδήγησε στην έξαρση πολλών προβλημάτων. Αυτό σε συνδυασμό με τις συνεχώς αυξανόμενες απαιτήσεις για αποδοτικότερα προϊόντα, για επιτάχυνση των διαδικασιών σχεδίασης, ώστε να είναι πιο αξιόπιστες και επαναχρησιμοποιήσιμες, καθώς και η ανάγκη για ασφαλές, πιο "απλό" και ανταγωνιστικό σχεδιασμό κυκλωμάτων, για σχεδιασμό, που εκτός από καινοτομικός, πρέπει να πληροί μια σειρά από απαιτήσεις εμβαδού, χρονισμού και κατανάλωσης ισχύος, οδήγησαν στην κυριαρχία των standard cells στο χώρο των ολοκληρωμένων κυκλωμάτων. Η μέθοδος αυτή επιτρέπει την κατασκευή σχετικά υψηλής απόδοσης κυκλωμάτων με συγκριτικά χαμηλή καταβολή προσπάθειας σχεδιασμού.

Στην παρούσα εργασία αναλύεται η κατασκευή μιας βιβλιοθήκης από standard cells. Περιγράφεται η έννοια του σχεδιασμού βασισμένου σε standard cells, αναλύεται το λογισμικό που χρησιμοποιήθηκε για την κατασκευή αυτής της βιβλιοθήκης και επεξηγείται αναλυτικά η μεθοδολογία που ακολουθήθηκε για την υλοποίηση των πυλών που συνθέτουν την βιβλιοθήκη.

ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ

ΕΥΧΑΡΙΣΤΙΕΣ.....	2
ΣΥΝΟΨΗ.....	3
ΠΙΝΑΚΑΣ ΠΕΡΙΕΧΟΜΕΝΩΝ.....	4
1 ΕΙΣΑΓΩΓΗ.....	6
1.1 ΑΚΤΙΚΕΙΜΝΟ ΤΗΣ ΠΥΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ.....	6
1.2 ΟΡΓΑΝΩΣΗ ΤΟΥ ΤΟΜΟΥ	6
2 STANDARD CELL DESIGN.....	7
2.1 ΙΣΤΟΡΙΚΗ ΑΝΑΔΡΟΜΗ.....	7
2.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ STANDARD CELL DESIGN.....	8
2.2.1 ΓΕΝΙΚΗ ΠΕΡΙΓΡΑΦΗ ΤΟΥ STANDARD CELL BASED DESIGN	8
2.2.2 ΠΛΕΟΝΕΚΤΗΜΑΤΑ – ΜΕΙΟΝΕΚΤΗΜΑΤΑ & ΣΥΓΚΡΙΣΗ ΜΕ ΑΛΛΕΣ ΜΕΘΟΔΟΥΣ	9
2.2.3 ΤΡΟΠΟΙ ΥΛΟΠΟΙΗΣΗΣ.....	9
2.3 ΣΥΝΘΕΣΗ ΕΝΟΣ STANDARD CELL	11
2.4 ΒΙΒΛΙΟΘΗΚΕΣ ΑΠΟ STANDARD CELLS	12
3 CADENCE SOFTWARE.....	13
3.1 ΕΠΙΛΟΓΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ	13
3.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ CADENCE SOFTWARE.....	13
3.2.1 ΒΗΜΑΤΑ ΓΙΑ ΑΝΟΙΓΜΑ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ	13
3.2.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ CADENCE	14
4 ΑΝΑΛΥΣΗ ΜΕΘΟΔΟΛΟΓΙΑΣ.....	21
4.1 ΓΕΝΙΚΗ ΜΕΘΟΔΟΛΟΓΙΑ.....	21
4.2 ΟΙΚΟΓΕΝΕΙΕΣ ΠΥΛΩΝ.....	24
4.2.1 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOT.....	24
4.2.2 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 2 ΕΙΣΟΔΩΝ	25
4.2.3 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 3 ΕΙΣΟΔΩΝ . 25 Σφάλμα! Δεν έχει οριστεί σελιδοδείκτης.	26
4.2.4 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 4 ΕΙΣΟΔΩΝ	26
4.2.5 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 2 ΕΙΣΟΔΩΝ.....	26
4.2.6 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 3 ΕΙΣΟΔΩΝ.....	27
4.2.7 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 4 ΕΙΣΟΔΩΝ..... Σφάλμα! Δεν έχει οριστεί σελιδοδείκτης.	28
4.2.8 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ AND 2 ΕΙΣΟΔΩΝ	28
4.2.9 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ OR 2 ΕΙΣΟΔΩΝ	28
4.2.10 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(AB+C)$	29
4.2.11 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(AB+CD)$	29
4.2.12 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(A+BCD)$	30

4.3	ΠΕΡΙΓΡΑΦΗΣ ΤΗΣ ΦΥΣΙΚΗΣ ΑΝΑΠΑΡΑΣΤΑΣΗΣ	31
4.3.1	ΠΥΛΗ NOT	31
4.3.2	ΠΥΛΗ NAND 2 ΕΙΣΟΔΩΝ	38
4.3.3	ΠΥΛΗ NAND 3 ΕΙΣΟΔΩΝ	45
4.3.4	ΠΥΛΗ NAND 4 ΕΙΣΟΔΩΝ	50
4.3.5	ΠΥΛΗ NOR 2 ΕΙΣΟΔΩΝ	54
4.3.6	ΠΥΛΗ NOR 3 ΕΙΣΟΔΩΝ	59
4.3.7	ΠΥΛΗ NOR 4 ΕΙΣΟΔΩΝ	63
4.3.8	ΠΥΛΗ AND 2 ΕΙΣΟΔΩΝ	67
4.3.9	ΠΥΛΗ OR 2 ΕΙΣΟΔΩΝ	74
4.3.10	ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(AB+C)$	80
4.3.11	ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(AB+CD)$	83
4.3.12	ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(A+BCD)$	86
4.4	ΕΛΕΓΧΟΙ ΕΠΑΛΗΘΕΥΣΗΣ	89
4.4.1	ΠΕΡΙΓΡΑΦΗ ΤΟΥ ΕΛΕΓΧΟΥ DRC	90
4.4.2	ΠΡΑΓΜΑΤΟΠΟΙΗΣΗ ΕΛΕΓΧΟΥ LVS	94
4.4.2.1	ΠΕΡΙΓΡΑΦΗ ΑΝΑΠΑΡΑΣΤΗΑΣΗΣ EXTRACTED	94
4.4.2.2	ΠΕΡΙΓΡΑΦΗ ΕΛΕΓΧΟΥ LVS	97
5	ΕΠΙΛΟΓΟΣ	103
	ΣΥΜΠΕΡΑΣΜΑΤΑ- ΔΥΝΑΤΟΤΗΤΕΣ ΕΠΕΚΤΑΣΗΣ	103
	ΒΙΒΛΙΟΓΡΑΦΙΑ	104

1.1 ΑΝΤΙΚΕΙΜΕΝΟ ΤΗΣ ΠΤΥΧΙΑΚΗΣ ΕΡΓΑΣΙΑΣ

Σκοπός αυτής της διπλωματικής εργασίας είναι η υλοποίηση κάποιων βασικών λογικών πυλών (όπως οι πύλες NAND,NOR) και κάποιων περισσότερων σύνθετων πυλών στα πλαίσια κατασκευής μιας Standard Cell βιβλιοθήκης. Συγκεκριμένα θα υλοποιήσουμε πολλαπλές εκδοχές κάθε πύλης, οι οποίες θα διαφέρουν ως προς ένα σύνολο παραμέτρων, και θα επιχειρηματολογήσουμε με βάση τις όποιες αλλαγές παρουσιάζονται ανάμεσα στις διάφορες υλοποιηθείσες εκδοχές.

1.2 ΟΡΓΑΝΩΣΗ ΤΟΥ ΤΟΜΟΥ

Στο πρώτο κεφάλαιο παρουσιάζεται μια σύντομη περιγραφή της δομής, και του αντικειμένου που πραγματεύεται η συγκεκριμένη εργασία.

Στο δεύτερο κεφάλαιο περιγράφονται τα βασικά θέματα, τα οποία πραγματεύεται η εργασία. Αναλύεται η μέθοδος του σχεδιασμού βασισμένου σε standard cells (Standard Cell Design) και γίνεται αναφορά στην έννοια των Standard Cells και των Standard Cell Libraries.

Στο τρίτο κεφάλαιο περιγράφεται το εργαλείο που χρησιμοποιήθηκε για την κατασκευή της βιβλιοθήκης και την υλοποίηση των πυλών, το Cadence Software.

Στο τέταρτο κεφάλαιο περιγράφεται η γενικότερη μεθοδολογία και διαδικασία που ακολουθήθηκε για την σχεδίαση και κατασκευή της βιβλιοθήκης. Εξηγούνται οι περισσότερες υλοποιήσεις των πυλών και σχολιάζονται οι μεταξύ τους διαφορές.

Στο πέμπτο κεφάλαιο συνοψίζουμε τα αποτελέσματα της εργασίας και δίνουμε μια περιγραφή των δυνατοτήτων επέκτασης της εφαρμογής.

Τέλος παρουσιάζονται οι πηγές από όπου αντλήσαμε τις πληροφορίες για την υλοποίηση και ανάπτυξη του αντικειμένου της εργασίας αυτής.

2^ο STANDARD CELL DESIGN

2.1 ΙΣΤΟΡΙΚΗ ΑΝΑΔΡΟΜΗ

Στα μέσα του 20^{ου} αιώνα εμφανίζονται πρώτη φορά τα Ολοκληρωμένα Κυκλώματα (Integrated Circuits - IC). Το γεγονός ότι ένας μεγάλος αριθμός από μικροσκοπικά transistors χώρεσε σε ένα μικρό chip (κομμάτι ημιαγωγού) αποτέλεσε μια μεγάλη ανακάλυψη για εκείνη την εποχή. Ακολούθησαν τα Κυκλώματα Μέσου Βαθμού Ολοκλήρωσης (Medium Scale Intergration - MSI) με 300 στοιχεία ανά chip, τα Κυκλώματα Μεγάλου Βαθμού Ολοκλήρωσης (Large Scale Intergration-LSI) με 1000 στοιχεία ανά chip και τέλος τα Κυκλώματα Πολύ Μεγάλου Βαθμού Ολοκλήρωσης (Very Large Scale Intergration-VLSI) με πάνω από 20.000 στοιχεία ανά chip.

Η τάση στο χώρο της μικροηλεκτρονικής για τη συσσώρευση όσο το δυνατόν περισσότερων λειτουργιών σε ένα ολοκληρωμένο κύκλωμα, δημιούργησε πολλά προβλήματα όπου η χρήση συμβατικών δομικών στοιχείων δεν επαρκούσαν για την επίλυση τους. Έτσι δημιουργήθηκε μια πολύ μεγάλη γκάμα τεχνολογιών ανάπτυξης Ολοκληρωμένων Κυκλωμάτων Ειδικού Σκοπού (Application Specific Integrated Circuits-ASICs), που επιτρέπει τη σχεδίαση πολύπλοκων συστημάτων. Τα πρώτα ASICs χρησιμοποίησαν την τεχνολογία gate array - απεικόνιση σε πίνακα πυλών. Αργότερα χρησιμοποιήθηκαν και τα FPGAs - Field-programmable gate arrays – (απεικόνιση σε πίνακα πυλών προγραμματιζόμενου πεδίου).

Στα μέσα του 1980 αρχίζει να ξεπροβάλλει η μέθοδος των standard cells, αφού η ανάγκη για περισσότερο αυτοματοποιημένα εργαλεία και γενικότερα μεθόδους σχεδιασμού, αν όχι επιτακτική, ήταν πολύ μεγάλη. Συγκεκριμένα, ένας σχεδιαστής θα προτιμούσε ένα ASIC κατασκευαστή (ASIC manufacturer) και θα υλοποιούσε τα σχέδια του χρησιμοποιώντας όλα τα - διαθέσιμα από το κατασκευαστή- εργαλεία σχεδιασμού. Παρόλο που τα εργαλεία σχεδιασμού τρίτης τάξης (third party design tools) ήταν διαθέσιμα, δεν υπήρχε καμία αποτελεσματική σύνδεση ανάμεσα στα εργαλεία αυτά και στα ακριβή χαρακτηριστικά απόδοσης των ASIC κατασκευαστών. Τελικά, οι περισσότεροι σχεδιαστές κατέληγαν να χρησιμοποιούν ειδικά εργοστασιακά εργαλεία, για την υλοποίηση των σχεδίων τους . Μια λύση σε αυτό το πρόβλημα αποτέλεσε η υλοποίηση των **standard cells**. Κάθε κατασκευαστής ASIC μπορούσε να δημιουργήσει σχεδιαστικά κομμάτια (functional blocks) με γνωστά ηλεκτρικά χαρακτηριστικά, όπως η χωρητικότητα, η αγωγιμότητα, η καθυστέρηση διάδοσης, τα οποία μπορούσαν να αναπαρασταθούν και στα εργαλεία σχεδιασμού τρίτης τάξης. Ο σχεδιασμός βασιζόμενος σε Standard cell- σχεδιασμός με έτοιμα σχεδιαστικά κομμάτια - περιλαμβάνει τη χρησιμοποίηση όλων αυτών των σχεδιαστικών κομματιών με στόχο την επίτευξη καλής απόδοσης και πολύ υψηλής πυκνότητας πυλών.

2.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ STANDARD CELL DESIGN

2.2.1 ΓΕΝΙΚΗ ΠΕΡΙΓΡΑΦΗ ΤΟΥ STANDARD CELL BASED DESIGN

Στη σχεδίαση ημιαγωγών, η μέθοδος standard cell αποτελεί μια μέθοδο σχεδιασμού ASIC κυκλωμάτων κυρίως με ψηφιακά-λογικά χαρακτηριστικά. Αποτελεί ένα παράδειγμα αφαιρετικού σχεδιασμού (design abstraction), όπου ένα χαμηλού επιπέδου layout ενσωματώνεται σε μια αφαιρετική λογική αναπαράσταση, όπως η πύλη NAND. Η βασιζόμενη στα cells μέθοδος – cell based methodology (η γενικότερη κλάση στην οποία ανήκουν και τα standard cells) παρέχει τη δυνατότητα σε ένα σχεδιαστή να εστιάζει σε υψηλού επιπέδου πτυχή της ψηφιακής σχεδίασης (λογική συνάρτηση – logical function) ενώ παράλληλα κάποιος άλλος μπορεί να εστιάζει στην υλοποίηση (physical). Παράλληλα με την πρόοδο στην κατασκευή ημιαγωγών, η βασισμένη στα standard cells μέθοδος ήταν υπεύθυνη για την κλιμάκωση των κυκλωμάτων ASIC από συγκριτικά απλά ολοκληρωμένα κυκλώματα, τα οποία εκτελούν μια συγκεκριμένη λειτουργία (αποτελούμενα από αρκετές χιλιάδες πύλες), σε σύνθετες συσκευές αποτελούμενες από πολλά εκατομμύρια πύλες (SoC-System on chip).

Στην τεχνοτροπία αυτή ο σχεδιαστής εφοδιάζεται με μια σχεδιαστική βιβλιοθήκη και εκφράζει το σχεδιασμό του σαν την διασύνδεση στοιχείων που περιέχονται σε αυτή τη βιβλιοθήκη. Δηλαδή όλα τα κομμάτια-σχέδια, που δημιουργούνται, βασίζονται στα έτοιμα σχεδιαστικά κομμάτια της βιβλιοθήκης. Προφανώς η βιβλιοθήκη αυτή παρέχεται από τον τελικό κατασκευαστή του ολοκληρωμένου κυκλώματος και μπορεί να περιέχει από πολύ λίγα έως πάρα πολλά και πολύ σύνθετα σχεδιαστικά κομμάτια. Μια standard cell based βιβλιοθήκη θα μπορούσε να περιέχει μόνο τη λογική πύλη NAND δύο εισόδων μιας και κάθε λογική συνάρτηση μπορεί να εκφραστεί συναρτήσει αυτής της πύλης. Ωστόσο για τη διευκόλυνση των σχεδιαστών οι βιβλιοθήκες που παρέχονται σήμερα περιέχουν όλες τις λογικές πύλες (και μάλιστα σε διάφορες εκδόσεις ταχύτητας, εμβადού και οδηγητικής ικανότητας), στοιχεία μνήμης, μικρά έως μεσαία συνδυαστικά κυκλώματα (αθροιστές, πολλαπλασιαστές, κλπ), μικρά έως μεσαία ακολουθιακά κυκλώματα (καταχωρητές, ολισθητές, μετρητές κλπ).

2.2.2 ΠΛΕΟΝΕΚΤΗΜΑΤΑ – ΜΕΙΟΝΕΚΤΗΜΑΤΑ & ΣΥΓΚΡΙΣΗ ΜΕ ΑΛΛΕΣ ΜΕΘΟΔΟΥΣ

Το μεγάλο πλεονέκτημα χρησιμοποίησης αυτής της τεχνοτροπίας είναι προφανώς ο χρόνος ολοκλήρωσης του σχεδιασμού, καθώς και το κόστος κατασκευής του. Συγκρινόμενη με άλλες μεθόδους, όπως Full-custom design (Πλήρως εξειδικευμένος σχεδιασμός) ή και Semi-custom design (Μερικά εξειδικευμένος σχεδιασμός), θα μπορούσαμε να πούμε ότι υπερέχει. Στη περίπτωση του Full-custom design, ο σχεδιαστής θα πρέπει να σχεδιάσει εξ αρχής, ακόμη και τα βασικά δομικά στοιχεία, δηλαδή τις πύλες και τα στοιχεία μνήμης του σχεδιασμού του. Παρότι αυτός ο τρόπος παρέχει τη μέγιστη ευελιξία στον σχεδιαστή, είναι προφανές ότι είναι και ο πλέον επίπονος χρονικά. Επιπλέον η πιθανότητα για σχεδιαστικά λάθη είναι πολύ μεγάλη και το κόστος κατασκευής πολύ υψηλό. Η τεχνοτροπία αυτή σήμερα χρησιμοποιείται για μικρούς σχετικά σχεδιασμούς με πολύ αυξημένες απαιτήσεις σε ταχύτητα, εμβαδόν και κατανάλωση ισχύος. Στη περίπτωση του Semi-custom design, παρότι μερικά σχεδιαστικά κομμάτια παρέχονται έτοιμα σε μια βιβλιοθήκη, ο σχεδιαστής έχει τη δυνατότητα, αν δε καλύπτεται, να σχεδιάσει τα δικά του κομμάτια και μετά να φτιάξει το σχεδιασμό του σαν ένα μίγμα έτοιμων και νέων υποσχεδιασμών. Προφανώς η ευελιξία που δίνεται στο σχεδιαστή είναι αντίστοιχη με αυτήν της προηγούμενης περίπτωσης, μειώνεται ο χρόνος σχεδιασμού και χρησιμοποιώντας κατά πλειοψηφία έτοιμα σχεδιαστικά κομμάτια, η πιθανότητα σχεδιαστικών λαθών μικραίνει, χωρίς όμως αυτοί οι 2 παράγοντες να θεωρούνται αμελητέοι.

Το κυριότερο μειονέκτημα της μεθόδου Standard cell design αποτελεί το γεγονός ότι ξεφεύγει πλέον από τα χέρια του σχεδιαστή η δυνατότητα καθορισμού των ηλεκτρικών χαρακτηριστικών των στοιχειωδών σχεδιαστικών κομματιών, με αποτέλεσμα τόσο οι μέγιστες ταχύτητες, όσο και το ελάχιστο εμβαδόν και η ελάχιστη κατανάλωση ισχύος που μπορεί να επιτευχθεί να μη μπορούν να καθοριστούν άμεσα από αυτόν.

2.2.3 ΤΡΟΠΟΙ ΥΛΟΠΟΙΗΣΗΣ

Ένας σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια (Standard Cell Design) μπορεί να υλοποιηθεί σαν ολοκληρωμένο με διάφορους τρόπους. Οι τρόποι αυτοί στην ουσία καθορίζουν και το κόστος κατασκευής του ολοκληρωμένου. Παρακάτω αναφέρονται μερικοί από τους πλέον διαδεδομένους :

1) Υλοποίηση σαν σχεδιασμός από έτοιμα σχεδιαστικά κομμάτια (Standard-cell implementation). Η υλοποίηση αυτή συνήθως χρησιμοποιεί την πλέον πρόσφατη τεχνολογία και απαιτεί την χρησιμοποίηση ενός πολύ μεγάλου αριθμού μασκών οι οποίες προκύπτουν από φωτολιθογραφικές μεθόδους. Με αυτό τον τρόπο μπορούμε να εκμεταλλευτούμε πλήρως τις δυνατότητες της κάθε τεχνολογίας, να επιτύχουμε τη μέγιστη ταχύτητα, αλλά ταυτόχρονα θα πρέπει να είμαστε προετοιμασμένοι να πληρώσουμε υψηλό τίμημα. Υπολογίζεται ότι το πρώτο ολοκληρωμένο σε αυτό το τρόπο υλοποίησης μπορεί να κοστίσει \$200.000 και κάθε επόμενο σημαντικά λιγότερο. Αυτό προκύπτει από το μεγάλο κόστος κατασκευής των μασκών και συνεπώς αυτός ο τρόπος υλοποίησης είναι ελκυστικός μόνο όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί είναι τουλάχιστον 20.000. Επίσης ο χρόνος παράδοσης θα πρέπει να υπολογίζεται σε 1,5 έως 2 μήνες.

2)Απεικόνιση σε πίνακα πυλών (όπως Gate Array, Sea of Gates). Αντί να φτιάχνονται όλες οι μάσκες από την αρχή για το ολοκληρωμένο που σχεδιάσαμε, υπάρχουν ολοκληρωμένα στα οποία ήδη έχει υλοποιηθεί ένας πίνακας από τρανζίστορ. Αυτά τα ολοκληρωμένα έχουν κατασκευαστεί σε εξαιρετικά μεγάλες ποσότητες και συνεπώς το κόστος τους είναι πολύ χαμηλό. Ο σχεδιασμός μας εκφράζεται σαν τη διασύνδεση αυτών των υπάρχοντων τρανζίστορ, ενώ κάποια τρανζίστορ μπορεί να μείνουν και αχρησιμοποίητα. Συνήθως ένα ποσοστό χρήσης των υπάρχοντων τρανζίστορ της τάξης του 70-80% είναι εξαιρετικό αν μπορεί να επιτευχθεί. Με αυτό το τρόπο υλοποίησης απαιτούνται να κατασκευαστούν μάσκες μόνο για τη διασύνδεση, γεγονός που περιορίζει σημαντικά το κόστος αλλά και το χρόνο κατασκευής του ολοκληρωμένου (1 έως 2 εβδομάδες). Η απόδοση του τελικού προϊόντος μπορεί να είναι αρκετά καλή, αλλά προφανώς χειρότερη από αυτήν του προηγούμενου τρόπου υλοποίησης. Αυτός ο τρόπος κατασκευής είναι ελκυστικός όταν ο αριθμός των ολοκληρωμένων που θα κατασκευαστεί κυμαίνεται μεταξύ 1.000 έως 25.000.

3)Απεικόνιση σε προγραμματιζόμενο πίνακα πυλών (όπως LPGA, FPGA). Αυτός ο τρόπος κατασκευής είναι εξέλιξη του προηγούμενου και έχει σκοπό τη περαιτέρω μείωση του χρόνου και του κόστους κατασκευής. Βασίζεται σε ολοκληρωμένα που πέρα από τρανζίστορ, περιέχουν και προ-υλοποιημένο πίνακα πιθανών διασυνδέσεων μεταξύ τους. Ο σχεδιασμός μας εκφράζεται με τη χρήση κάποιων από αυτά τα τρανζίστορ και κάποιων από τις πιθανές διασυνδέσεις ή με άλλα λόγια με την απεικόνιση του στοχευόμενου σχεδιασμού πάνω στους υλοποιημένους πίνακες. Η απεικόνιση αυτή στην περίπτωση των LPGA (Laser Programmable Gate Arrays) γίνεται με τη χρήση laser, γεγονός που μεταφράζεται σε χρόνο υλοποίησης λιγότερο της μίας εβδομάδας. Στην περίπτωση των FPGA (Field Programmable Gate Arrays) η στοχευόμενη απεικόνιση μπορεί να διαβαστεί από μια εξωτερική μνήμη και συνεπώς ο χρόνος υλοποίησης στην ουσία καταλήγει στον προγραμματισμό αυτής της μνήμης, δηλαδή είναι της τάξης των μερικών λεπτών και μπορεί να γίνει από τον ίδιο το σχεδιαστή.

2.3 ΣΥΝΘΕΣΗ ΕΝΟΣ STANDARD CELL

Ένα standard cell αποτελείται από ένα σύνολο transistor και διασυνδεδεμένων δομών το οποίο παρέχει μια boolean λογική συνάρτηση (όπως AND, OR, XOR) ή μια συνάρτηση αποθήκευσης (storage function) (όπως το flip-flop). Τα πιο απλά cells είναι ακριβείς αναπαραστάσεις των στοιχειωδών boolean συναρτήσεων (όπως AND, OR) ενώ παράλληλα χρησιμοποιούνται και πιο πολύπλοκα cells όπως ένας πλήρης αθροιστής (2-bit full adder). Η λογική συνάρτηση κάθε cell ονομάζεται λογική αναπαράσταση (logical view), όπου η λειτουργική συμπεριφορά περιγράφεται από ένα πίνακα αληθείας (truth table) ή από μια εξίσωση (Boolean algebra), όσον αφορά συνδυαστική λογική, ή από ένα πίνακα μετάβασης καταστάσεων (state transition table), όσον αφορά ακολουθιακή λογική.

Το αρχικό σχέδιο ενός standard cell αναπτύσσεται σε επίπεδο transistor, αποτελεί τη μορφή netlist του transistor. Η μορφή netlist αποτελεί μια περιγραφή των transistors, που συμπεριλαμβάνονται στο σχέδιο, των συνδέσεων μεταξύ τους καθώς και των συνδέσεων τους με το εξωτερικό περιβάλλον. Οι σχεδιαστές χρησιμοποιούν προγράμματα CAD (Computer Aided Design), όπως το SPICE, για να προσομοιώσουν την ηλεκτρονική συμπεριφορά της μορφής net list του αρχικού σχεδίου, δηλώνοντας διαφορές παραμέτρους εισαγωγής, όπως η τάση, και υπολογίζοντας την απόκριση του κυκλώματος.

Αφού και η λογική αναπαράσταση (logical view) και η μορφή netlist είναι απαραίτητες μονό για προσομοίωση σε αφαιρετικό επίπεδο (abstract simulation), πρέπει να σχεδιαστεί και η φυσική αναπαράσταση του standard cell. Η αναπαράσταση αυτή ονομάζεται layout view και αποτελεί το χαμηλότερο επίπεδο αφαιρετικού σχεδιασμού στη γενικότερη τακτική σχεδιασμού. Από κατασκευαστική άποψη, η μορφή layout αποτελεί τη πιο σημαντική αναπαράσταση του cell, αφού μοιάζει αρκετά με ένα ακριβές “αποτύπωμα -σχεδιάγραμμα” του standard cell. Είναι οργανωμένη σε επίπεδα μετάλλων, τα οποία χρησιμοποιούνται για την κατάλληλη σύνδεση των transistors, ώστε αυτά να ικανοποιούν την αντίστοιχη λογική αναπαράσταση.

Για κάθε τυπική λογική συνάρτηση (π.χ. πύλη NAND) μπορεί να υπάρξουν πολλές διαφορετικές μορφές netlist. Οι υλοποιήσεις αυτές είναι λειτουργικά ισοδύναμες. Επιπλέον, για κάθε μορφή netlist, μπορεί να υπάρξουν πολλά διαφορετικά layouts, τα οποία συμβαδίζουν με τις παραμέτρους απόδοσης (performance parameters) της netlist. Πρόκληση και απώτερο στόχο για κάθε σχεδιαστή αποτελεί η ελαχιστοποίηση του κόστους κατασκευής του layout, λαμβάνοντας υπόψη τις διάφορες απαιτήσεις, σχετικές με την ταχύτητα και την απόδοση ισχύος του cell. Συνεπώς, η παράγωγή του layout σε ένα ολοκληρωμένο κύκλωμα αποτελεί μια αρκετά επίπονη διαδικασία, παρόλο που υπάρχουν αρκετά εργαλεία σχεδιασμού, προορισμένα και κατασκευασμένα για το σκοπό αυτό.

Τα επιμέρους στοιχεία ενός standard cell έχουν συνήθως όλα ένα σταθερό ύψος (height), το οποίο επιτρέπει στα cells να μπορούν να τοποθετηθούν το ένα δίπλα στο άλλο, ώστε να επιτυγχάνεται η μεταξύ τους διασύνδεση στα πλαίσια ενός περισσότερου πολύπλοκου κυκλώματος. Συνεπώς, η έκταση του standard cell στο chip συνίσταται από ένα μεγάλο αριθμό cells τοποθετημένα στη σειρά με τη τροφοδοσία και τη γείωση συνδεδεμένες στο πάνω και στο κάτω μέρος του συνολικού χώρου αντίστοιχα. Η τοποθέτηση και διασύνδεση ανάμεσα στα επιμέρους στοιχεία ενός standard cell γίνεται από ειδικά εργαλεία τοποθέτησης και δρομολόγησης (place and route tools) και εξαρτάται από τη λογική του κυκλώματος που θα υλοποιηθεί.

2.4 ΒΙΒΛΙΟΘΗΚΗ ΑΠΟ STANDARD CELLS

Μια βιβλιοθήκη από standard cells στην ουσία είναι μια συλλογή από πολλά διαφορετικά standard cells. Τυπικές βιβλιοθήκες περιέχουν αρκετές εκατοντάδες στοιχειά-cells. Η βιβλιοθήκη συνήθως περιέχει πολλαπλές υλοποιήσεις της ίδιας λογικής συνάρτησης, οι οποίες διαφέρουν σε ικανότητα οδήγησης (drive strength) ,σε ταχύτητα και κατά συνέπεια στο χώρο που καταλαμβάνουν - εμβαδό. Η διαφορετική ικανότητα οδήγησης είναι ένα χαρακτηριστικό, το οποίο προσθέτει ευελιξία στη βιβλιοθήκη. Εκείνα τα cells, τα οποία έχουν μεγαλύτερη ικανότητα οδήγησης, εμφανίζουν μεγαλύτερη κατανάλωση ισχύος, αλλά χρησιμοποιούνται κυρίως για να βελτιώνουν τη ταχύτητα του κυκλώματος ή για να οδηγήσουν μεγαλύτερο φορτίο.

Βιβλιοθήκες από standard cells μπορούν να βελτιστοποιηθούν με βάση κάποιες παραμέτρους απόδοσης, όπως τη πυκνότητα, τη ταχύτητα, τη τάση. Για παράδειγμα, η κατανάλωση ισχύος αποτελεί ένα σημαντικό παράγοντα στο σχεδιασμό κυκλωμάτων. Μια συγκεκριμένη βιβλιοθήκη μπορεί να χρησιμοποιηθεί με σκοπό την ελαχιστοποίηση της κατανάλωσης ισχύος, σε βάρος , όμως, της ταχύτητας. Για αυτό το λόγο, συγκρίνοντας όλες τις βιβλιοθήκες που χρησιμοποιούνται στο σχεδιασμό ολοκληρωμένων κυκλωμάτων, οι κατασκευαστές μπορούν να αποφασίσουν για το επίπεδο εκβάθυνσης και να επιτρέψουν στους σχεδιαστές να αναδείξουν τα προϊόντα που έχουν κατασκευάσει , στα πλαίσια του ανταγωνισμού.

3^ο CADENCE SOFTWARE

3.1 ΕΠΙΛΟΓΗ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ

Το λογισμικό που χρησιμοποίησα στα πλαίσια κατασκευής της βιβλιοθήκης και υλοποίησης των πυλών είναι το CADENCE SOFTWARE. Αποτελεί το κορυφαίο στη βιομηχανία εργαλείο για standard cell σχεδιασμό . Τα ηλεκτρονικά συστήματα έχουν γίνει τόσο πολύπλοκα, ώστε η δημιουργία τους να είναι αδύνατη χωρίς την αυτοματοποίηση τους. Το CADENCE είναι ένα περιβάλλον αυτοματοποίησης ηλεκτρονικών σχεδίων (Electronic Design Automation -EDA), το οποίο επιτρέπει την ανάμειξη σε ένα ενιαίο πλαίσιο εργασίας διαφορετικών εφαρμογών και εργαλείων, με σκοπό την επιτυχή πραγματοποίηση όλων των σταδίων σχεδίασης και επαλήθευσης ολοκληρωμένων κυκλωμάτων. Τα εργαλεία αυτά είναι γενικής χρήσης και υποστηρίζουν διαφορετικές τεχνολογίες. Όταν μια συγκεκριμένη τεχνολογία επιλέγεται, ένα σύνολο από αρχεία διαμόρφωσης και αρχεία σχετικά με την τεχνολογία αυτή προσδιορίζουν το περιβάλλον του cadence.

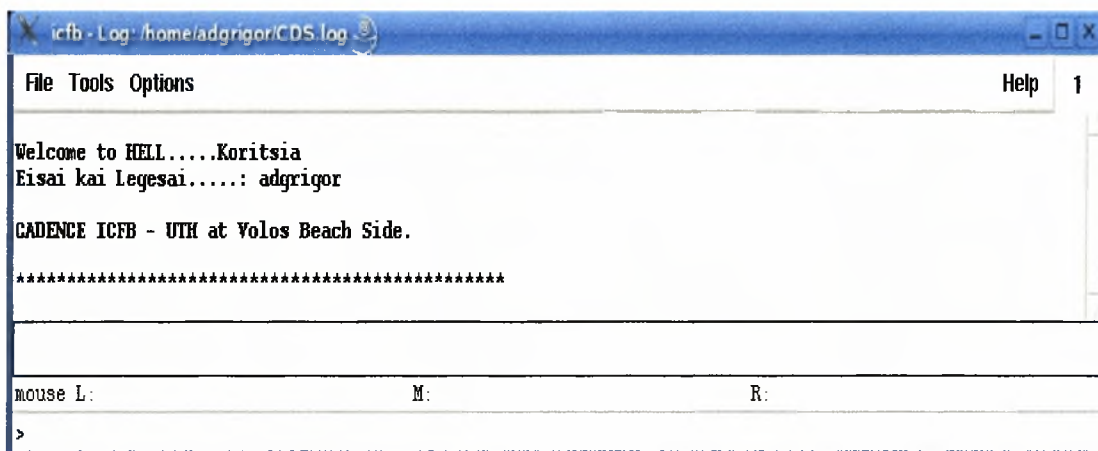
3.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ CADENCE SOFTWARE

3.2.1 ΒΗΜΑΤΑ ΓΙΑ ΑΝΟΙΓΜΑ ΤΟΥ ΛΟΓΙΣΜΙΚΟΥ

Θεωρώντας ότι το λογισμικό είναι ήδη εγκατεστημένο στον υπολογιστή μας, υπάρχουν κάποια βασικά βήματα, τα οποία είναι απαραίτητα, για να ανοίξουμε σωστά το λογισμικό. Αρχικά, δημιουργούμε ένα φάκελο, στον οποίο θα δουλεύουμε και θα αποθηκεύουμε όλα τα αρχεία που θα δημιουργήσουμε (working directory). Στο φάκελο αυτό πρέπει να αντιγράψουμε κάποια αρχεία από το φάκελο του cadence, τα οποία είναι απαραίτητα για τη σωστή λειτουργία του λογισμικού. Τα αρχεία αυτά είναι τα cds.lib , .cdsinit , cdsplotinit , display.drf , τα οποία αρχικοποιούν τις βιβλιοθήκες που θα χρησιμοποιούμε. (Η διαδικασία αυτή γίνεται μονό τη πρώτη φορά, που ανοίγουμε το cadence από το συγκεκριμένο φάκελο εργασίας). Βρισκόμενοι στο φάκελο αυτό, ανοίγουμε μια κονσόλα (terminal window) και εισάγουμε την κατάλληλη εντολή ενεργοποίησης. Στην περίπτωση μας, η σωστή εντολή είναι η icfb&, η οποία ενεργοποιεί το περιβάλλον σχεδιασμού, το οποίο περιλαμβάνει όλα τα εργαλεία για σχεδιασμό layout και για mixed signals, όπως είναι ο Library Manager, Schematic Composer , Virtuoso Layout Editor.

3.2.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ CADENCE

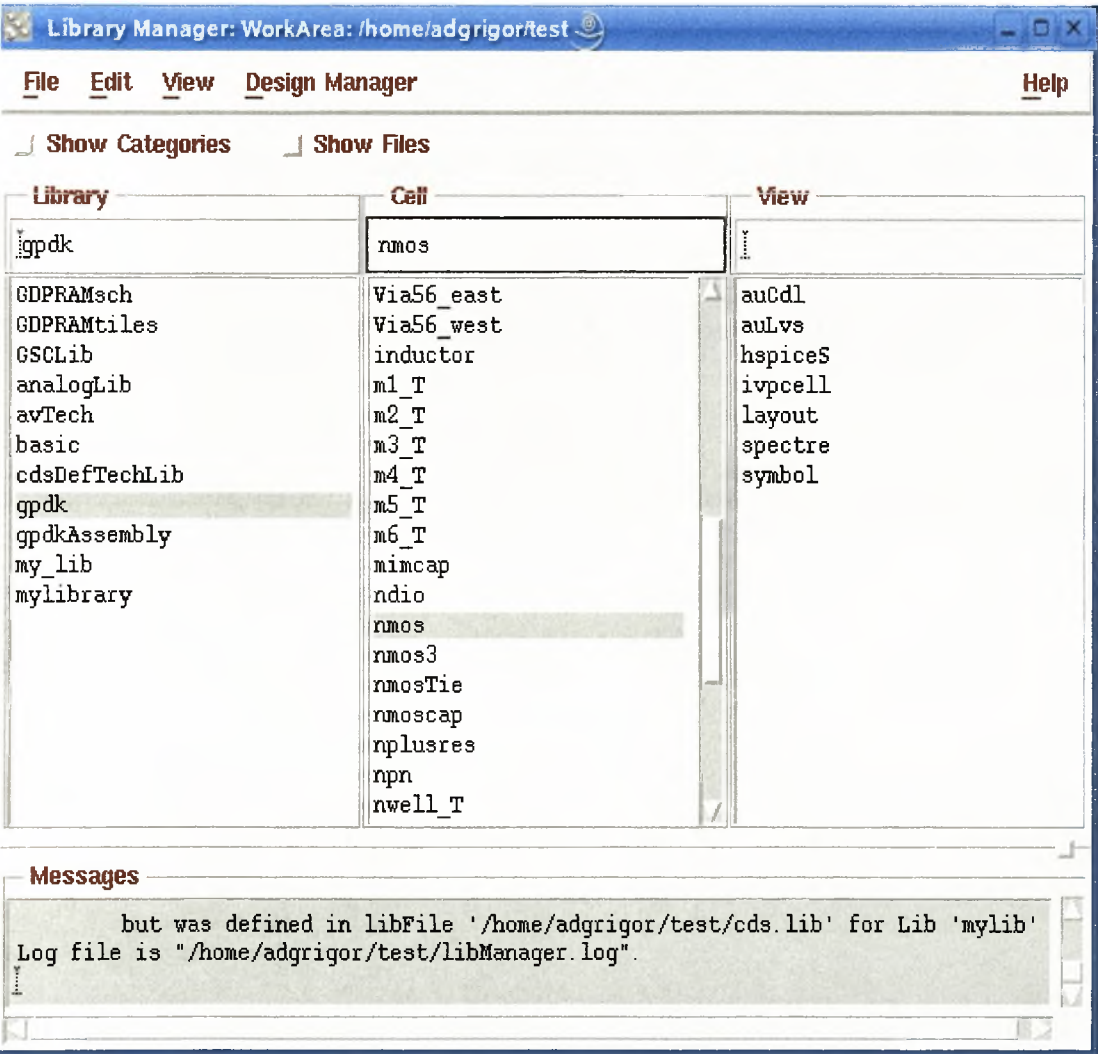
Αφού πληκτρολογήσουμε την κατάλληλη εντολή, στην οθόνη μας εμφανίζεται ένα παράθυρο, με το τίτλο icfb. Το παράθυρο αυτό ονομάζεται **CIW – Command Interpreter Window**.



EIKONA 1 . Command Interpreter Window

Είναι το κύριο παράθυρο ελέγχου και εμφανίζει όλες τις εντολές που έχουμε εκτελέσει και τα αποτελέσματα τους. Είναι το παράθυρο, από το οποίο ξεκινάμε για την δημιουργία των σχεδίων μας. Δείχνει και οποιαδήποτε μηνύματα λάθους, μετά από αποθήκευση κα επαλήθευση των αρχείων που δημιουργήσαμε τόσο σε σχηματική (schematic) όσο και σε αναπαράσταση layout. Στη πρώτη γραμμή αναφέρεται ο τίτλος του παραθύρου. Ακριβώς κάτω από το τίτλο, βρίσκεται το μενού των εντολών, με τις εξής επιλογές : File Tools Options, τα οποία παρέχουν στους χρήστες μια σειρά από δυνατές λειτουργίες. Ακολουθεί ο χώρος των αποτελεσμάτων (output area), όπου εμφανίζονται κατάλληλα μηνύματα, που περιγράφουν τις ενέργειες που γίνονται και την απόκριση του λογισμικού προς αυτές. Στη συνέχεια μια γραμμή (input line), η οποία δείχνει το σημείο από την output area, που είναι επιλεγμένο. Ακολουθεί η γραμμή ρυθμίσεων του ποντικιού (mouse settings line), που περιέχει τις ρυθμίσεις, οι οποίες αλλάζουν, όταν το ποντίκι μετακινείται στο παράθυρο εργασίας ή αλλάζουν οι εντολές που εκτελούνται. Στη τελευταία γραμμή (prompt line) εμφανίζονται οι κατάλληλες οδηγίες προς το χρήστη, ανάλογα με την εντολή-κίνηση που έχουμε επιλέξει, κατά τη διάρκεια σχεδίασης.

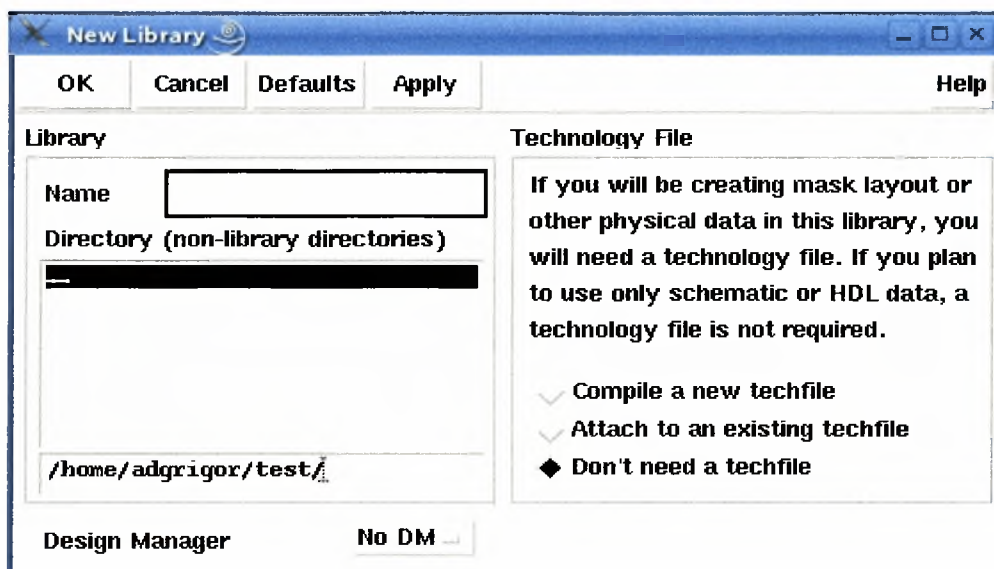
Από το μενού, επιλέγοντας Tools -> Library Manger, εμφανίζεται στην οθόνη μας ο **Library Manager**. Ο Library Manager μας δίνει τη δυνατότητα να χειριζόμαστε τις βιβλιοθήκες και να εκτελούμε όλες τις δυνατές ενέργειες (όπως δημιουργία, αντιγραφή, μετακίνηση, διαγραφή)



ΕΙΚΟΝΑ 2. Library Manager

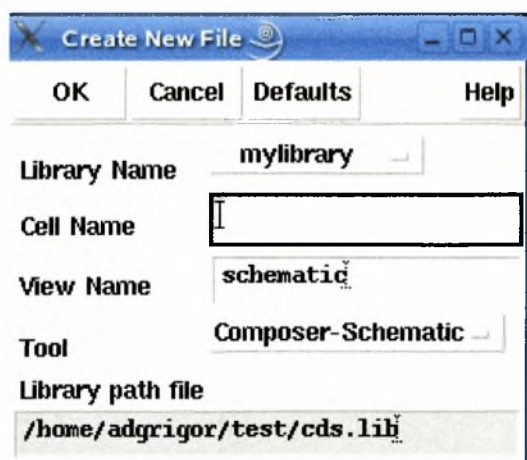
Όπως βλέπουμε στη στήλη Library, υπάρχουν πολλές βιβλιοθήκες. Οι βιβλιοθήκες αυτές είναι έτοιμες και διευκολύνουν πολύ τη σχεδίαση μας, αφού θα χρησιμοποιούμε αρκετά στοιχεία (cells) από κάποιες από αυτές για τα σχέδια μας. Επιλέγοντας κάποια βιβλιοθήκη, στην διπλανή στήλη-Cell εμφανίζονται όλα τα στοιχεία (cells), που περιλαμβάνει και στη τρίτη στήλη-View δηλώνονται οι διαθέσιμες αναπαραστάσεις από κάθε cell π.χ. symbol, schematic, layout.

Για τη δημιουργία νέων βιβλιοθηκών (library) και στοιχείων (cells), επιλεγούμε από το μενού File-> New -> Library και File->New-> Cellview αντίστοιχα. Εμφανίζονται τα αντίστοιχα παράθυρα New Library και Create New File



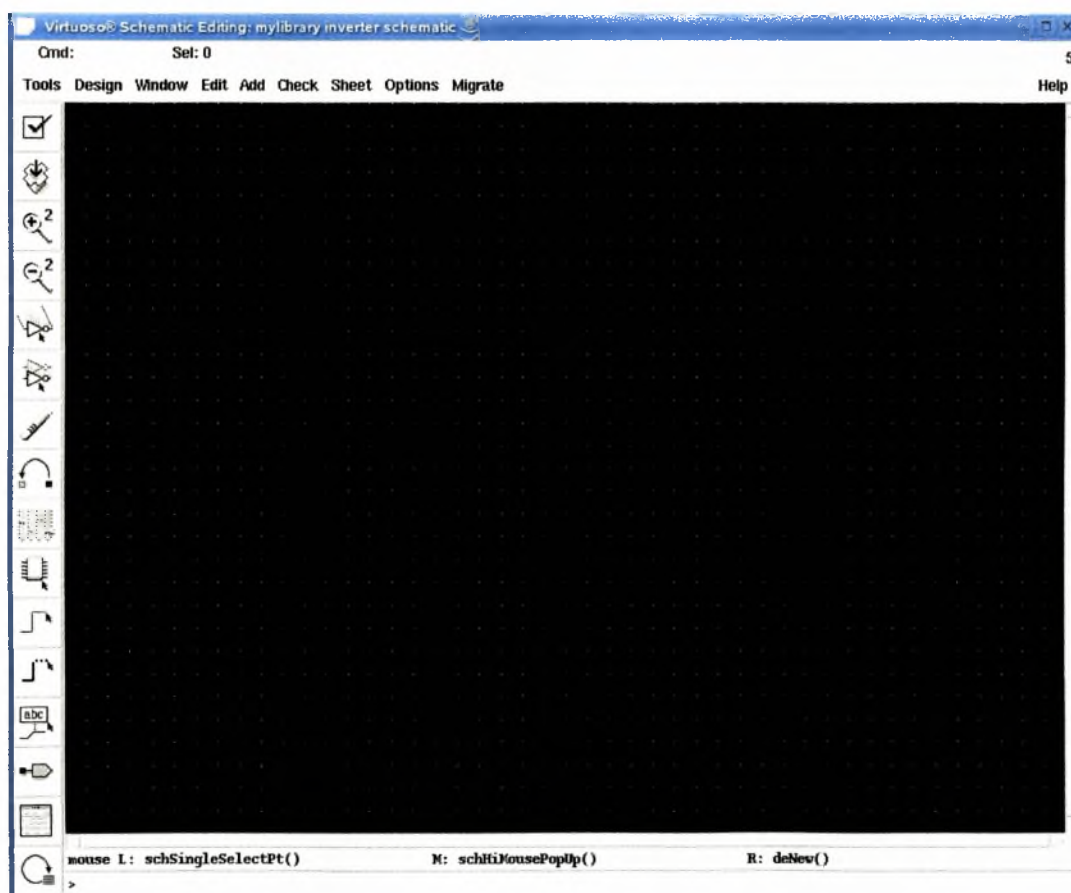
ΕΙΚΟΝΑ 3. Παράθυρο για τη δημιουργία νέας βιβλιοθήκης

Στο παράθυρο New Library (ΕΙΚΟΝΑ 3) εισάγουμε το όνομα της βιβλιοθήκης που θέλουμε να δημιουργήσουμε, επιλέγοντας τον αντίστοιχο φάκελο όπου εργαζόμαστε (working directory) .



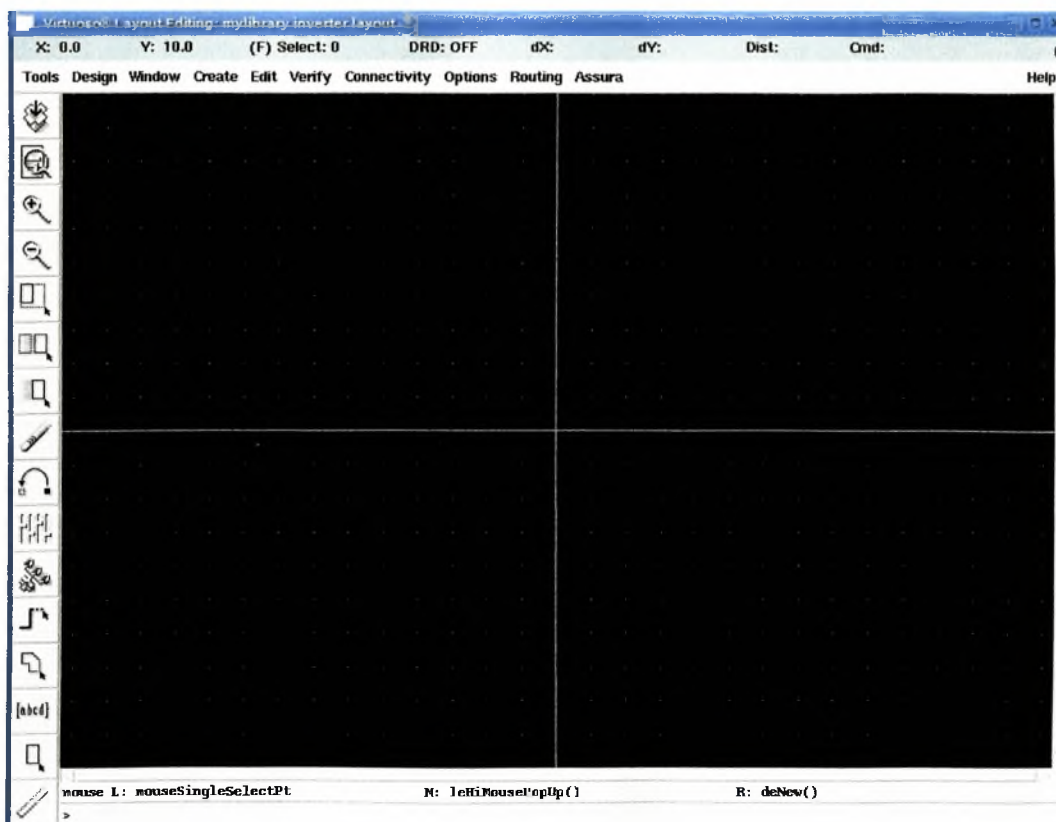
ΕΙΚΟΝΑ 4. Παράθυρο για τη δημιουργία νέου αρχείου

Στο παράθυρο Create New File (EIKONA 4) εισάγουμε το όνομα του cell που θέλουμε να δημιουργήσουμε, επιλέγοντας το όνομα της βιβλιοθήκης, μέσα στη οποία θέλουμε να αποθηκευτεί το αρχείο μας, καθώς και το είδος αναπαράστασης – View Name (π.χ. symbol, schematic ή layout). Το αντίστοιχο εργαλείο -Tool επιλέγεται αυτόματα, αφού δηλωθεί το View Name .Το Library path file επιλέγεται και αυτό αυτόματα. Ανάλογα με την αναπαράσταση που έχουμε επιλέξει (schematic ή layout), επιλέγεται ο αντίστοιχος editor (Composer Schematic Editor – Virtuoso Layout Editor) και εμφανίζονται τα αντίστοιχα παράθυρα για σχεδίαση .



EIKONA 5. Παράθυρο σχεδίασης σε schematic

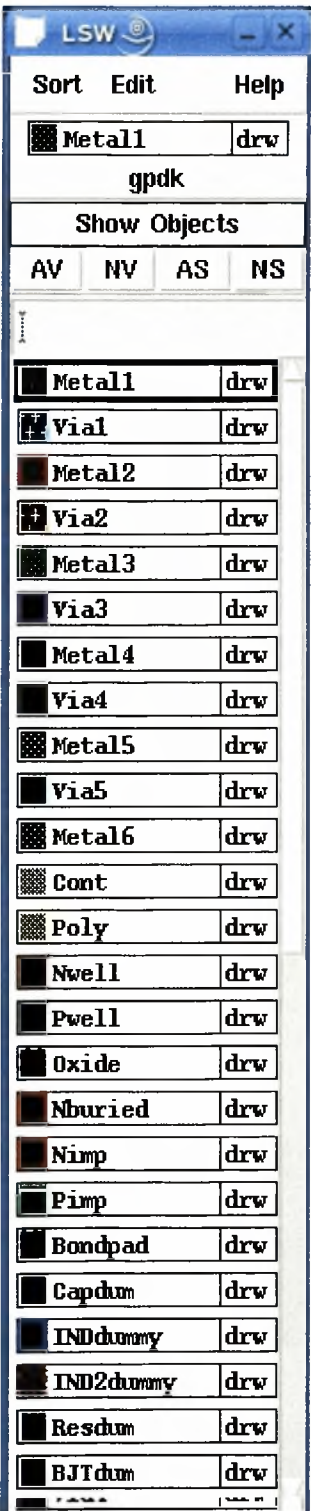
Ο τίτλος του παράθυρου **Virtuoso Schematic Editing: mylibrary inverter schematic** (ΕΙΚΟΝΑ 5) υποδεικνύει το όνομα του στοιχείου-cell που θα σχεδιάσουμε (inverter), το όνομα της βιβλιοθήκης, στην οποία είναι αποθηκευμένο το στοιχείο (mylibrary) καθώς και το είδος αναπαράστασης του στοιχείου (schematic). Ακολουθούν ο δείκτης κατάστασης (Status banner), ο οποίος παρέχει πληροφορίες για την επιλεγμένη εντολή και το πλήθος των επιλεγμένων αντικειμένων, κατόπιν το μενού των εντολών, Tools Design Window Edit Add Check Sheet Options Migrate, όπου κάθε μια από αυτές τις επιλογές, παρέχει μια σειρά από διαθέσιμες εντολές-λειτουργίες. Σε μερικές από τις εντολές αυτές, εμφανίζεται διπλά τους ένα γράμμα – (bindkey), το οποίο αποτελεί το πλήκτρο συντόμευσης της εντολής. Τα εικονίδια που βρίσκονται αριστερά στο παράθυρο αντιστοιχούν στις εντολές που χρησιμοποιούνται πιο συχνά, όπως αποθήκευση(save), προσθήκη αντικειμένου(add instance), αλλαγή ιδιοτήτων του αντικειμένου (change instance properties), προσθήκη καλωδίου (add wire), μεγέθυνση (zoom in), σμίκρυνση (zoom out), αναίρεση (undo), διαγραφή (delete). Τοποθετώντας το ποντίκι πάνω σε κάθε εικονίδιο, εμφανίζεται το όνομα του. Στη τελευταία γραμμή (prompt line), εμφανίζονται κατάλληλες οδηγίες ανάλογα με την εντολή, η οποία έχει επιλεγεί προς εκτέλεση.



ΕΙΚΟΝΑ 6. Παράθυρο σχεδίασης σε layout

Η περιγραφή του παραθύρου είναι παρόμοια με αυτή του προηγούμενου, με κάποιες βασικές διαφορές. Αρχικά, ο τίτλος του παραθύρου **Virtuoso Schematic Editing: mylibrary inverter layout** (ΕΙΚΟΝΑ 6) υποδεικνύει ότι αλλάζει το είδος της αναπαράστασης σε layout, ο δείκτης κατάστασης (Status banner) περιέχει πληροφορίες για τις συντεταγμένες του κέρσορα, για το είδος επιλογής των αντικειμένων (selection mode), για τα σημεία αναφοράς (reference points) και για την εκτελούμενη εντολή και αποτελείται από τα εξής στοιχεία: X: Y: ()Select: DRD: dX: dY: Dist: Cmd: . Το μενού των εντολών, σε αυτό παράθυρο, περιλαμβάνει τα εξής: Tools Design Window Create Edit Verify Connectivity Options Routing Assura και αντίστοιχα καθεμία από αυτές τις επιλογές, παρέχει μια σειρά από εντολές-λειτουργίες.

Παράλληλα με το άνοιγμα του αντιστοίχου παραθύρου για σχεδίαση, όταν θέλουμε να σχεδιάσουμε σε layout, εμφανίζεται και ένα ακόμα παράθυρο, το **LSW- Layer Selection Window** (ΕΙΚΟΝΑ 7). Το παράθυρο αυτό περιέχει όλα τα επίπεδα μετάλλων, τα οποία είναι απαραίτητα για την πραγματοποίηση της φυσικής αναπαράστασης (layout), πληροφορίες σχετικά με τη δυνατότητα χρησιμοποίησης-διαθεσιμότητας των μετάλλων-επίπεδων σχεδίασης (design layers), και σχετικά με τη default-βιβλιοθήκη που χρησιμοποιείται για τη σχεδίαση στο συγκεκριμένο παράθυρο. Χωρίς το παράθυρο αυτό, η σχεδίαση σε layout θα ήταν αδύνατη, αφού αυτή βασίζεται στην ουσία στα επίπεδα μετάλλων, τα οποία παρέχει το συγκεκριμένο παράθυρο.



EIKONA 7. Layer Selection Window

4^ο ΑΝΑΛΥΣΗ ΤΗΣ ΜΕΘΟΔΟΛΟΓΙΑΣ

Στην παράγραφο αυτή θα αναλυθεί η λογική και η τεχνική που ακολουθήθηκε για την υλοποίηση των πυλών που συνθέτουν τη βιβλιοθήκη. Οι πύλες που υλοποιήθηκαν ήταν οι 5 βασικές πύλες λογικής σχεδίασης NOT, NAND, NOR, AND, OR και 3 άλλες περισσότερο σύνθετες πύλες, οι οποίες κατατάσσονται στην κατηγορία των συμπληρωματικών πυλών, και είναι οι εξής $\neg(AB+C)$, $\neg(AB+CD)$, $\neg(A+BCD)$.

4.1 ΓΕΝΙΚΗ ΜΕΘΟΔΟΛΟΓΙΑ

Όσον αφορά την υλοποίηση κάθε πύλης, στηριζόμενη στην λογική συνάρτηση (logical function), που αντιπροσωπεύει κάθε πύλη, κατασκευάσα πρώτα την σχηματική αναπαράσταση (schematic view) και βασιζόμενη σε αυτή την φυσική αναπαράσταση (layout view).

Στη σχηματική αναπαράσταση, η οποία αποτελείται από ένα σύνολο τρανζίστορ τύπου-P και τύπου-N (Pmos και Nmos), κατάλληλα συνδεδεμένων μεταξύ τους, βρήκα την αναλογία (ratio) των τρανζίστορ, στηριζόμενη στο γεγονός ότι η ικανότητα οδήγησης (drive strength) ανάμεσα στα Pmos και στα Nmos θέλουμε να διατηρείται σταθερή. Από την αναλογία αυτή προέκυψαν και τα χαρακτηριστικά μεγέθη των τρανζίστορ, το πλάτος (width) και ο αριθμός των fingers. Το πλάτος των τρανζίστορ κυμαίνεται από 400 nanometers έως 100 micrometers. Ο αριθμός των fingers εξαρτάται από το πλάτος του τρανζίστορ. Συγκεκριμένα θέλουμε το πλάτος να μην ξεπερνά τα 15 micrometers. Ο αριθμός των fingers υποδεικνύει με ποσά παράλληλα τρανζίστορ ισοδυναμεί το αρχικό τρανζίστορ (το οποίο φαίνεται μόνο στην αναπαράσταση layout), ώστε το πλάτους τους να μην ξεπερνάει τα 15 micrometers. Για παράδειγμα, στην περίπτωση που η τιμή του πλάτους είναι μικρότερη ή ίση από 15 micrometers, τότε ο αριθμός των fingers ισούται με 1, ενώ στην περίπτωση που το πλάτος ισούται με 50 micrometers, ο αριθμός των fingers ισούται με 4. Παράλληλα διατηρούμε σταθερό το μήκος των τρανζίστορ (length) και ίσο με 180 nanometers. Όσον αφορά τη σύνδεση των τρανζίστορ, αυτή περιλαμβάνει ένα σύνολο από Pmos και Nmos τρανζίστορ, τα οποία είναι συνδεδεμένα είτε παράλληλα είτε σε σειρά. Η παράλληλη ή σε σειρά σύνδεση των τρανζίστορ αναφέρεται σε τρανζίστορ ιδίου τύπου –είτε Pmos είτε Nmos. Επιπλέον περιλαμβάνει την κατάλληλη σύνδεση των τρανζίστορ στη γείωση και στη τροφοδοσία, καθώς και στην έξοδο και στην είσοδο (pin εξόδου και εισόδου αντίστοιχα). Στη γείωση συνδέονται τρανζίστορ τύπου N (ένα ή περισσότερα ανάλογα με τον τρόπο της μεταξύ τους διασύνδεσης) και στη τροφοδοσία τρανζίστορ τύπου P (ομοίως ένα ή περισσότερα ανάλογα με τον τρόπο της μεταξύ τους διασύνδεσης).

Αφού δημιούργησα την σχηματική αναπαράσταση, επιλέγοντας από το μενού εντολών του αντίστοιχου παραθύρου σχεδίασης Tools -> Design Synthesis -> Layout XL, δημιουργείται το αντίστοιχο αρχείο για την φυσική αναπαράσταση. Αφού εμφανιστεί στην οθόνη το αντίστοιχο παράθυρο για σχεδίαση σε layout επέλεξα από το μενού εντολών Design -> Gen From Source. Έτσι εμφανίζονται αυτόματα στο παράθυρο σχεδίασης για φυσική αναπαράσταση τα τρανζίστορ (με τις κατάλληλες παραμέτρους που έχουμε ορίσει στο παράθυρο της σχηματικής σχεδίασης), τα pins εισόδου και εξόδου, και τα pins, που αντιστοιχούν στη σύνδεση με τη τροφοδοσία και τη γείωση. Χρησιμοποιώντας τα κατάλληλα επίπεδα μετάλλων από το LSW, απομένει η κατάλληλη διασύνδεση των τρανζίστορ, ικανοποιώντας ένα σύνολο κανόνων σχεδίασης (επιτρεπόμενες αποστάσεις μεταξύ μετάλλων), ώστε να υλοποιηθεί η σωστή αναπαράσταση της πύλης.

Πρέπει να επισημάνουμε ότι η σχεδίαση σε layout απαιτεί ιδιαίτερη προσοχή. Μια σωστή υλοποίηση δε αντιστοιχεί πάντα και στη σωστή αναπαράσταση μιας συγκεκριμένης πύλης. Είναι πολύ εύκολο να κατασκευάσουμε ένα σχεδιαστικό κομμάτι, το οποίο θεωρητικά πρέπει να αντιστοιχεί σε μια λογική συνάρτηση, και να μην παραβιάζουμε τους κανόνες σχεδίασης, αλλά ταυτόχρονα η υλοποίηση αυτή να μην ικανοποιεί τη λογική συνάρτηση της πύλης. Για το λόγο αυτό, υπάρχουν και τα κατάλληλα εργαλεία στο Cadence, που πραγματοποιούν τους αντίστοιχους ελέγχους. Πρόκειται για το Design Rule Check (DRC) και για τον Layout Versus Schematic (LVS) check. Με το Design Rule Check (DRC) ελέγχουμε κατά πόσο το σχέδιο μας ικανοποιεί τους βασικούς κανόνες σχεδίασης, οι οποίοι ποικίλλουν από τεχνολογία σε τεχνολογία. Με τον Layout Versus Schematic (LVS) ελέγχουμε κατά πόσο οι συνδέσεις που έχουν υλοποιηθεί στη φυσική αναπαράσταση ταυτίζονται – είναι οι ίδιες με τις συνδέσεις στη σχηματική αναπαράσταση. Ο όρος συνδέσεις περιλαμβάνει κάθε είδους σύνδεση που υλοποιείται στις δύο αναπαραστάσεις, (σχηματική και φυσική). Οι έλεγχοι αυτοί θα περιγραφούν παρακάτω αναλυτικά.

Όσον αφορά τις συνδέσεις των τρανζίστορ (στη φυσική αναπαράσταση), αυτές υλοποιούνται χρησιμοποιώντας τα κατάλληλα μέταλλα από το LSW και ικανοποιώντας τους αντίστοιχους κανόνες σχεδίασης. Συγκεκριμένα στις υλοποιήσεις, χρησιμοποίησα τα εξής μέταλλα: metal1, metal2 και poly, προσέχοντας να μην παραβιάζουν τους κανόνες σχεδίασης.

Σχετικά με την διασύνδεση των τρανζίστορ, ακολούθησα μια σειρά από συγκεκριμένα βήματα, τα οποία περιγράφονται παρακάτω:

-Αν τα τρανζίστορ (ιδίου τύπου) είναι συνδεδεμένα παράλληλα, τότε αυτά ενώνονται και πιο συγκεκριμένα ενσωματώνονται σε ένα, συγχωνεύοντας τις υποδοχές τους. Για παράδειγμα δύο τρανζίστορ παράλληλα συνδεδεμένα, συγχωνεύουν τις υποδοχές τους σε μία και έτσι το συγχωνευμένο τρανζίστορ, που προκύπτει, έχει δύο πηγές και μια υποδοχή. Ενώ τρία ή περισσότερα τρανζίστορ παράλληλα συνδεδεμένα, ενώνονται και πιο συγκεκριμένα ενσωματώνονται σε ένα τρανζίστορ, συγχωνεύοντας υποδοχές και πηγές, το οποίο περιλαμβάνει πηγές και υποδοχές ανάλογα με το πλήθος των τρανζίστορ που συνδέονται.

-Αν τα τρανζίστορ (ιδίου τύπου) είναι συνδεδεμένα σε σειρά, τότε αυτά ενώνονται και πιο συγκεκριμένα ενσωματώνονται σε ένα, το οποίο περιλαμβάνει τόσες πύλες όσο είναι και το πλήθος των συνδεδεμένων τρανζίστορ. Για παράδειγμα τρία τρανζίστορ συνδεδεμένα σε σειρά ισοδυναμούν με ένα συγχωνευμένο τρανζίστορ, το οποίο έχει μια πηγή μια υποδοχή και τρεις πύλες ενδιάμεσα τους.

-Με χρήση του μετάλλου-1 (metal1), συνδέονται η υποδοχή ή οι υποδοχές των τρανζίστορ στην έξοδο (στο pin εξόδου), και η πηγή ή οι πηγές στη γείωση, αν πρόκειται για τρανζίστορ τύπου-N, και αντίστοιχα στη τροφοδοσία, αν πρόκειται για τρανζίστορ τύπου-P. Αν το ενσωματωμένο τρανζίστορ έχει μία ή περισσότερες πηγές ή υποδοχές εξαρτάται από τον τρόπο διασύνδεσης των τρανζίστορ ιδίου τύπου.

-Με χρήση του μετάλλου poly, συνδέονται οι πύλες των τρανζίστορ μεταξύ τους και με την αντίστοιχη επαφή (contact) POLY1. Στη συνέχεια η επαφή αυτή συνδέεται, χρησιμοποιώντας το μέταλλο-1 στην είσοδο (στο pin εισόδου).

-Τοποθετούμε τις κατάλληλες επαφές (contacts) στη γείωση και τη τροφοδοσία. Επειδή τα τρανζίστορ τύπου-P είναι κατασκευασμένα σε υπόβαθρο τύπου-N, συνδέουμε σε αυτά και στη τροφοδοσία την επαφή NWELL, χρησιμοποιώντας το μέταλλο-1 και αντίστοιχα επειδή τα τρανζίστορ τύπου-N είναι κατασκευασμένα σε υπόβαθρο τύπου-P, συνδέουμε σε αυτά και στη γείωση την επαφή PSUB. Καθώς το πλάτος των τρανζίστορ αυξάνεται, αυξάνεται και ο αριθμός των επαφών που συνδέονται στα τρανζίστορ, ώστε να μην παραβιάζονται οι κανόνες σχεδίασης και να μην δημιουργείται πρόβλημα στην υλοποίηση.

-Χρησιμοποιούμε το μέταλλο-2 (metal2) και την αντίστοιχη επαφή M2-M1 τόσο στη γείωση όσο και στη τροφοδοσία, για να δημιουργήσουμε το κατάλληλο χώρο, ώστε να μπορέσουμε να διατηρήσουμε κάθε ένα από τα σχεδιαστικά κομμάτι που υλοποιούμε στο ίδιο ύψος. Το χαρακτηριστικό αυτό μας επιτρέπει να τοποθετήσουμε τα επιμέρους κομμάτια ενός standard cell κατάλληλα συνδεδεμένα το ένα «δίπλα» στο άλλο στα πλαίσια ενός πιο πολύπλοκου κυκλώματος. Επιπλέον χρησιμοποιούμε το μέταλλο-2 στη σύνδεση των πυλών των τρανζίστορ, ώστε να αποφεύγεται πιθανή επικάλυψη της σύνδεσης των πυλών των τρανζίστορ με πύλες των υπόλοιπων τρανζίστορ, γεγονός που οδηγεί σε λανθασμένη υλοποίηση της πύλης, παρόλο που η επικάλυψη του μετάλλου poly μεταξύ των διαφορετικών συνδέσεων των πυλών δεν παραβιάζει τους κανόνες σχεδίασης.

4.2 ΟΙΚΟΓΕΝΕΙΕΣ ΠΥΛΩΝ

Για κάθε είδος πύλης, κατασκεύασα ένα σύνολο αναπαραστάσεων, στηριζόμενη στην αναλογία των τρανζίστορ, μεταβάλλοντας το πλάτος και διατηρώντας σταθερό το μήκος (length) κάθε τρανζίστορ, ίσο με 180 nanometers. Οι διαφορετικές αυτές αναπαραστάσεις αποτελούν την οικογένεια κάθε πύλης. Στη πρώτη αναπαράσταση επιλέχθηκε το μικρότερο δυνατό πλάτος (400 nanometers), διατηρώντας ταυτόχρονα την αναλογία των τρανζίστορ, που συνθέτουν την πύλη. Σε κάθε επόμενη αναπαράσταση υπήρξε τριπλάσια αύξηση του πλάτους, με την αναλογία ανάμεσα στα τρανζίστορ να παραμένει σταθερή. Παρατηρώντας τις διαφορετικές αυτές υλοποιήσεις της ίδιας πύλης, διαπιστώσαμε τις αλλαγές που παρουσιάζονται στη φυσική αναπαράσταση λόγω της αύξησης του πλάτους των τρανζίστορ. Στους παρακάτω πίνακες δίνονται τα χαρακτηριστικά των τρανζίστορ για την οικογένεια κάθε πύλης.

4.2.1. ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOT

ΠΙΝΑΚΑΣ 1. Οικογένεια Πύλης NOT

Αναλογία τρανζίστορ $W_p/W_n = 2$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (Wn)	Αριθμός fingers του NMOS	Πλάτος PMOS (Wp)	Αριθμός fingers του PMOS
Inv04	400 n	1	800 n	1
Inv12	1.2 u	1	2.4 u	1
Inv36	3.6 u	1	7.2 u	1
Inv108	10.8 u	1	21.6 u	2
Inv324	32.4 u	3	64.8 u	5
Inv500	50 u	4	100 u	7

όπου n -> nanometers και u -> micrometers

4.2.2 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 2 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 2. Οικογένεια Πύλης NAND δυο εισόδων

Αναλογία τρανζίστορ $W_p/W_n = 1$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (Wn)	Αριθμός fingers του NMOS	Πλάτος PMOS (Wp)	Αριθμός fingers του PMOS
Nand2_04	400 n	1	400 n	1
Nand2_12	1.2 u	1	1.2 u	1
Nand2_36	3.6 u	1	3.6 u	1
Nand2_108	10.8 u	1	10.8 u	1
Nand2_324	32.4 u	3	32.4 u	3
Nand2_972	97.2 u	7	97.2 u	7

όπου n -> nanometers και u -> micrometers

4.2.3 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 3 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 3. Οικογένεια Πύλης NAND τριών εισόδων

Αναλογία τρανζίστορ $W_p/W_n = 2/3$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (Wn)	Αριθμός fingers του NMOS	Πλάτος PMOS (Wp)	Αριθμός fingers του PMOS
Nand3_04	1.2 u	1	800 n	1
Nand3_12	3.6 u	1	2.4 u	1
Nand3_36	10.8 u	1	7.2 u	1
Nand3_108	32.4 u	3	21.6 u	2

4.2.4 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NAND 4 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 4. Οικογένεια Πύλης NAND τεσσάρων εισόδων
Αναλογία τρανζίστορ $W_p/W_n = 2/4 = 1/2$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (Wn)	Αριθμός fingers του NMOS	Πλάτος PMOS (Wp)	Αριθμός fingers του PMOS
Nand4_04	800 n	1	400 n	1
Nand4_12	2.4 u	1	1.2 u	1
Nand4_36	7.2 u	1	3.6 u	1
Nand4_108	21.6 u	2	10.8 u	1

όπου n -> nanometers και u -> micrometers

4.2.5 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 2 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 5. Οικογένεια Πύλης NOR δυο εισόδων
Αναλογία τρανζίστορ $W_p/W_n = 4$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (Wn)	Αριθμός fingers του NMOS	Πλάτος PMOS (Wp)	Αριθμός fingers του PMOS
Nor2_04	400 n	1	1.6u	1
Nor2_12	1.2 u	1	4.8u	1
Nor2_36	3.6 u	1	14.4 u	1
Nor2_108	10.8 u	1	43.2 u	3
Nor2_324	25 u	1	100 u	7

όπου n -> nanometers και u -> micrometers

4.2.6 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 3 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 6. Οικογένεια Πύλης NOR τριών εισόδων

Αναλογία τρανζίστορ $W_p/W_n = 6$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (W_n)	Αριθμός fingers του NMOS	Πλάτος PMOS (W_p)	Αριθμός fingers του PMOS
Nor3_04	400 n	1	2.4 u	1
Nor3_12	1.2 u	1	7.2 u	1
Nor3_36	3.6 u	1	21.6 u	2

όπου n -> nanometers και u -> micrometers

4.2.7 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ NOR 4 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 7. Οικογένεια Πύλης NOR τεσσάρων εισόδων

Αναλογία τρανζίστορ $W_p/W_n = 8$, Length = 180 n

Όνομα αρχείου	Πλάτος NMOS (W_n)	Αριθμός fingers του NMOS	Πλάτος PMOS (W_p)	Αριθμός fingers του PMOS
Nor4_04	400 n	1	3.2 u	1
Nor4_12	1.2 u	1	9.6 u	1
Nor4_36	3.6 u	1	28.8 u	2

όπου n -> nanometers και u -> micrometers

4.2.8 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ AND 2 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 8. Οικογένεια Πύλης AND 2 εισόδων
Αναλογία τρανζίστορ $Wp0=Wp1$, $Wn0=Wn1$, $Wp0/Wn0=2/2=1$, $Wp2/Wn2=2$,
Length = 180 n

Όνομα αρχείου	Πλάτος NMOS $Wn0, Wn1$	Αριθμός fingers του NMOS	Πλάτος PMOS $Wp0, Wp1$	Αριθμός fingers του PMOS	Πλάτος NMOS $Wn2$	Αριθμός fingers του NMOS	Πλάτος PMOS $Wp2$	Αριθμός fingers του NMOS
And04	800 n	1	800 n	1	400 n	1	800 n	1
And12	2.4 u	1	2.4 u	1	1.2 u	1	2.4 u	1
And36	7.2 u	1	7.2 u	1	3.6 u	1	7.2 u	1
And108	21.6 u	2	21.6 u	2	10.8 u	1	21.6 u	2
And324	64.8 u	5	64.8 u	5	32.4 u	3	64.8 u	5
And500	100 u	7	100 u	7	50 u	4	100 u	7

όπου n -> nanometers και u -> micrometers

4.2.9 ΟΙΚΟΓΕΝΕΙΑ ΠΥΛΗΣ OR 2 ΕΙΣΟΔΩΝ

ΠΙΝΑΚΑΣ 9. Οικογένεια Πύλης OR 2 εισόδων
Αναλογία τρανζίστορ: $Wp0=Wp1$, $Wn0=Wn1$, $Wp0/Wn0=4$, $Wp2/Wn2=2$,
Length = 180 n

Όνομα αρχείου	Πλάτος NMOS $Wn0, Wn1$	Αριθμός fingers του NMOS	Πλάτος PMOS $Wp0, Wp1$	Αριθμός fingers του PMOS	Πλάτος NMOS $Wn2$	Αριθμός fingers του NMOS	Πλάτος PMOS $Wp2$	Αριθμός fingers του NMOS
Or04	400 n	1	1.6u	1	400 n	1	800 n	1
Or12	1.2 u	1	4.8 u	1	1.2 u	1	2.4 u	1
Or36	3.6 u	1	14.4 u	1	3.6 u	1	7.2 u	1
Or108	10.8 u	1	43.2 u	3	10.8 u	1	21.6 u	2
Or250	25 u	2	100 u	7	25 u	2	50 u	4

4.2.10 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(AB+C)$

ΠΙΝΑΚΑΣ 10. Οικογένεια Συμπληρωματικής Πύλης $\neg(AB+C)$

Αναλογία τρανζίστορ: $W_pA=W_pB=W_pC$, $W_nA=W_nB$, $W_nA/W_nC=2/1=2$,
 $W_pA/W_nA=4/2=2$, Length = 180 n

Όνομα αρχείου	Πλάτος PMOS	Αριθμός fingers του PMOS	Πλάτος NMOS W_nA, W_nB	Αριθμός fingers του PMOS	Πλάτος NMOS W_nC	Αριθμός fingers του NMOS
piliA04	1.6u	1	800 n	1	400 n	1
piliA12	4.8 u	1	2.4 u	1	1.2 u	1
piliA36	14.4 u	1	7.2 u	1	3.6 u	1

όπου n -> nanometers και u -> micrometers

4.2.11 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(AB+CD)$

ΠΙΝΑΚΑΣ 11. Οικογένεια Συμπληρωματικής Πύλης $\neg(AB+CD)$

Αναλογία τρανζίστορ: $W_pA=W_pB=W_pC=W_pD$, $W_nA=W_nB=W_nC=W_nD$,
 $W_pA/W_nA=4/2=2$, Length = 180 n

Όνομα αρχείου	Πλάτος PMOS	Αριθμός fingers του PMOS	Πλάτος NMOS	Αριθμός fingers του NMOS
piliB04	1.6u	1	800 n	1
piliB12	4.8 u	1	2.4 u	1
piliB36	14.4 u	1	7.2 u	1

όπου n -> nanometers και u -> micrometers

4.2.12 ΟΙΚΟΓΕΝΕΙΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΗΣ ΠΥΛΗΣ $\neg(A+BCD)$

ΠΙΝΑΚΑΣ 12. Οικογένεια Συμπληρωματικής Πύλης $\neg(A+BCD)$

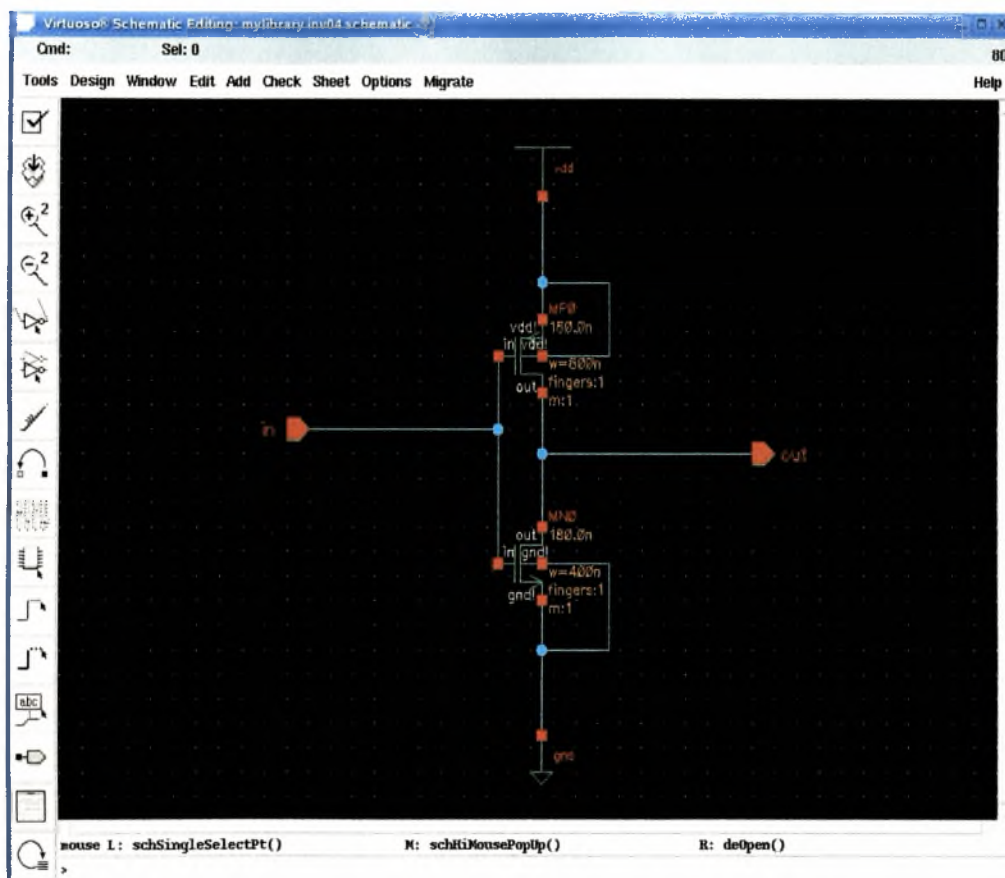
Αναλογία τρανζίστορ: $W_pA=W_pB=W_pC=W_pD$, $W_nB=W_nC=W_nD$,
 $W_pA/W_nA=4/1=4$, $W_nB/W_nA=3/1=3$ Length = 180 n

Όνομα αρχείου	Πλάτος PMOS	Αριθμός fingers του PMOS	Πλάτος NMOS WnA	Αριθμός fingers του NMOS	Πλάτος NMOS WnB	Αριθμός fingers του NMOS
piliC04	1.6u	1	400 n	1	1.2 u	1
piliC12	4.8 u	1	1.2 u	1	3.6 u	1
piliC36	14.4 u	1	3.6 u	1	10.8 u	1

όπου n -> nanometers και u -> micrometers

4.3 ΠΕΡΙΓΡΑΦΗΣ ΦΥΣΙΚΗΣ ΑΝΑΠΑΡΑΣΤΑΣΗΣ (LAYOUT)

4.3.1 ΠΥΛΗ NOT

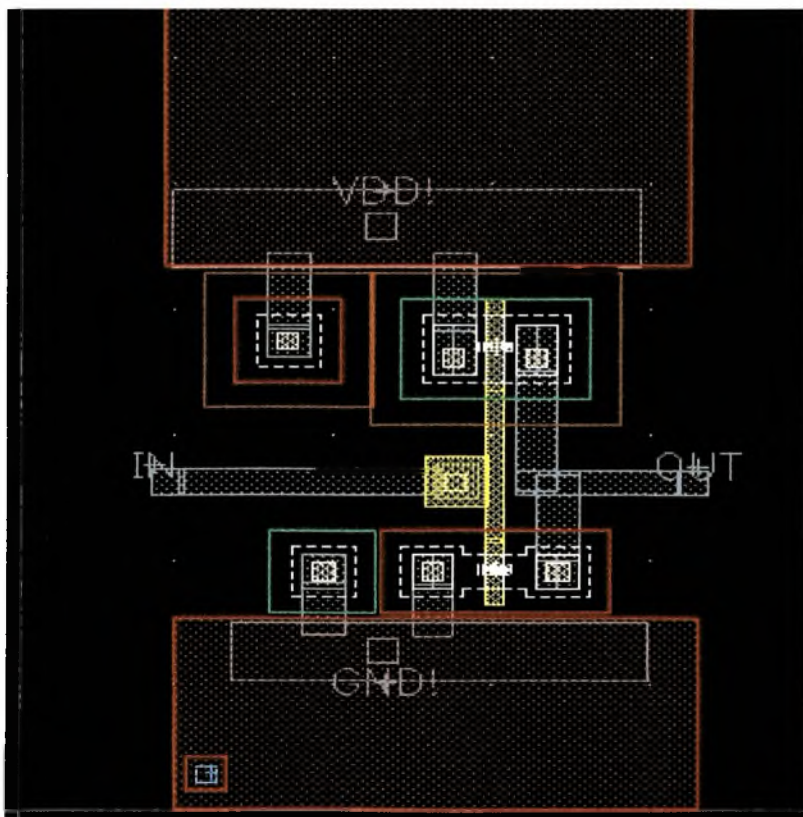


ΕΙΚΟΝΑ 8. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NOT.

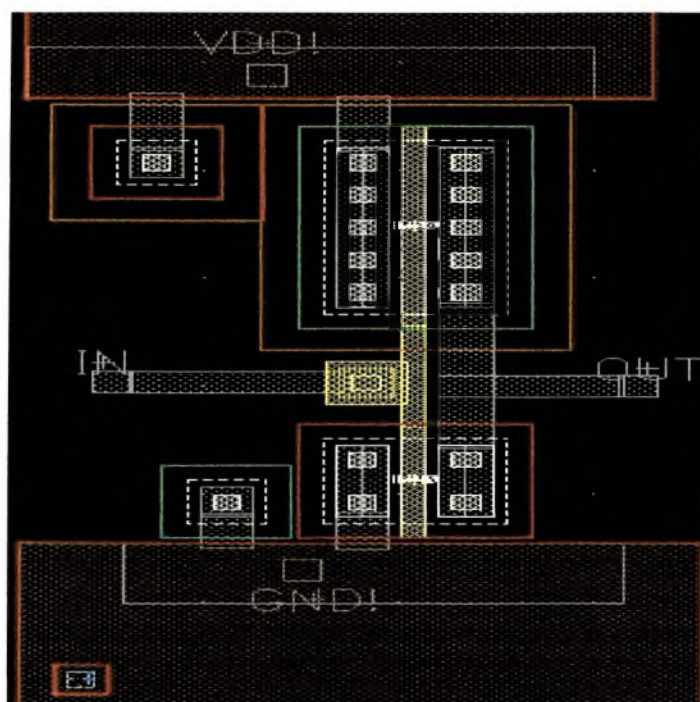
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NOT περιλαμβάνει 2 τρανζίστορ, 1 τρανζίστορ τύπου-P (Pmos) και 1 τρανζίστορ τύπου-N (Nmos). Η πηγή του Pmos συνδέεται στην τροφοδοσία και η πηγή του Nmos συνδέεται στη γείωση. Η έξοδος (pin εξόδου) συνδέεται στις υποδοχές των 2 τρανζίστορ και η είσοδος (pin εισόδου) συνδέεται στις πύλες των 2 τρανζίστορ.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Οι υποδοχές των 2 τρανζίστορ συνδέονται στην έξοδο (στο pin εξόδου) με τη χρήση του μετάλλου1 (metal1). Με το ίδιο μέταλλο συνδέεται η πηγή του Nmos στη γείωση (GND), όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) PSUB με το ίδιο μέταλλο. Επιπλέον, με το μέταλλο1 συνδέεται η πηγή του Pmos στην τροφοδοσία (VDD), όπου είναι συνδεδεμένη και η κατάλληλη επαφή NWELL με το ίδιο μέταλλο. Με το μέταλλο poly συνδέονται οι πύλες των 2 τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ η είσοδος συνδέεται μέσω του metal1 με την επαφή POLY1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

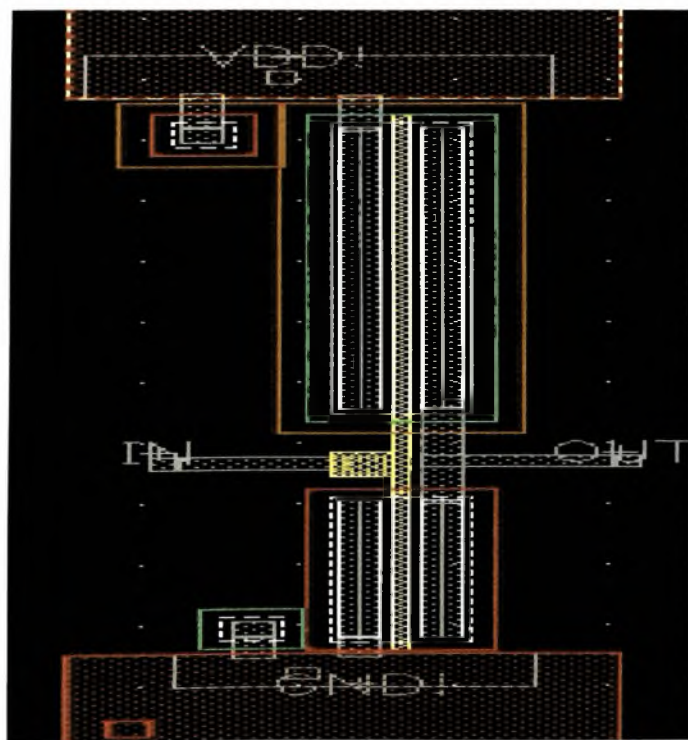
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



ΕΙΚΟΝΑ 9. πύλη NOT με $W_n=400n$ $W_p=800n$

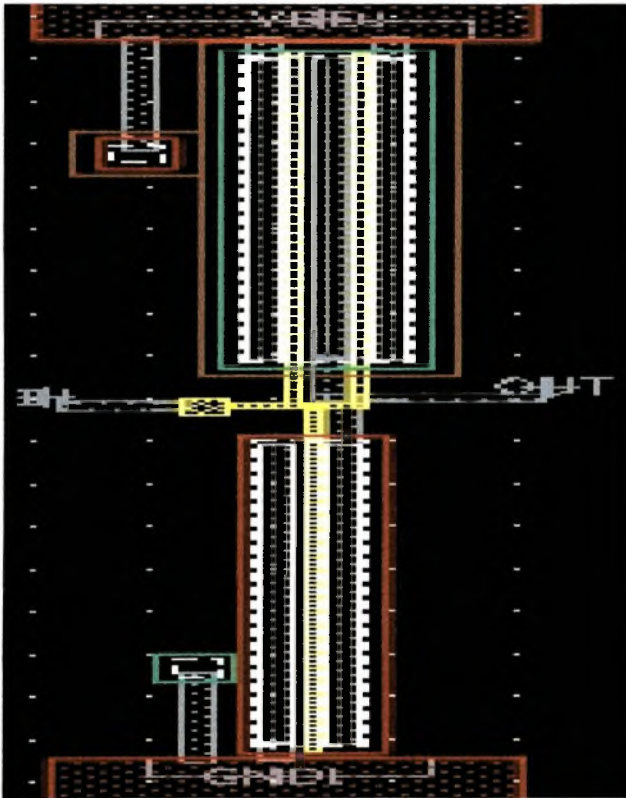


ΕΙΚΟΝΑ 10. πύλη NOT με $W_n=1.2\mu$ $W_p=2.4\mu$



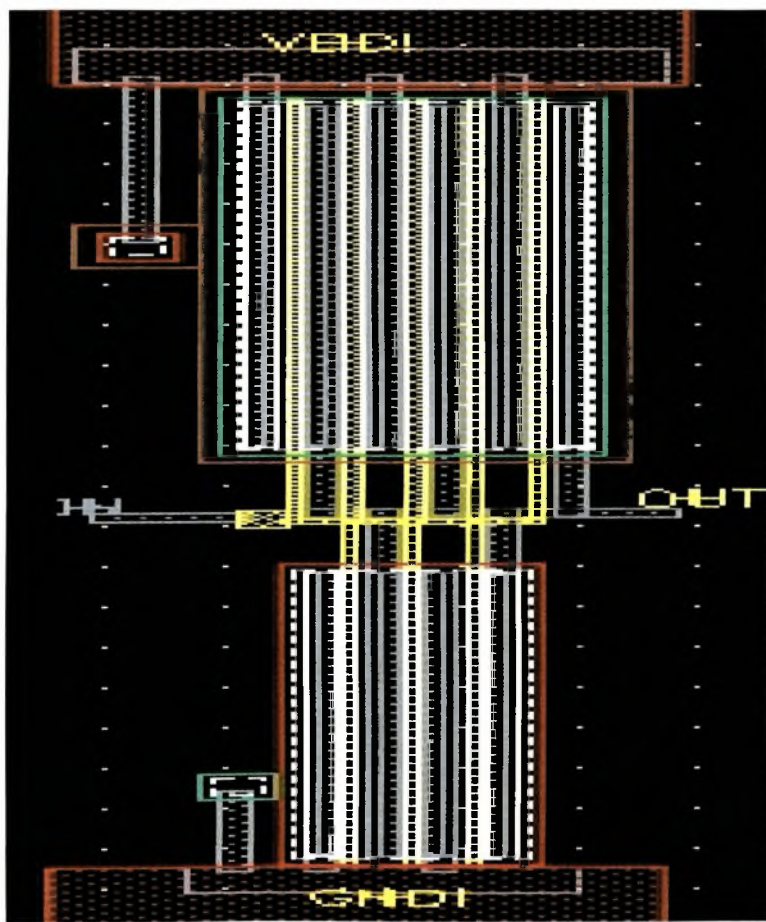
ΕΙΚΟΝΑ 11. πύλη NOT με $W_n=3.6\mu$ $W_p=7.2\mu$

Στο αρχείο Inv108 (ΕΙΚΟΝΑ 12), το πλάτος του Pmos είναι όσο με 21.6 μ , δηλαδή μεγαλύτερο από 15 μ και συνεπώς ο αριθμός των fingers ίσος με 2. (Πρακτικά αυτό σημαίνει ότι το αρχικό τρανζίστορ ισοδυναμεί με 2 παράλληλα συνδεδεμένα τρανζίστορ, το καθένα με μισό πλάτος, στα οποία έχουν συγχωνευτεί οι υποδοχές τους σε μία). Όπως φαίνεται και από την ΕΙΚΟΝΑ 12, στην έξοδο συνδέεται η υποδοχή του Pmos (το μεσαίο κομμάτι) και οι δύο πηγές συνδέονται στη τροφοδοσία με το metal1. Αξίζει να σημειωθεί ότι και η τοποθέτηση των επαφών, που συνδέονται στη γείωση και στην τροφοδοσία (NWELL-PSUB), συνδέεται άμεσα με το πλάτος των τρανζίστορ και μάλιστα γίνεται σε συγκεκριμένα σημεία, τα οποία ικανοποιούν τις επιτρεπόμενες αποστάσεις και τους κανόνες σχεδίασης.



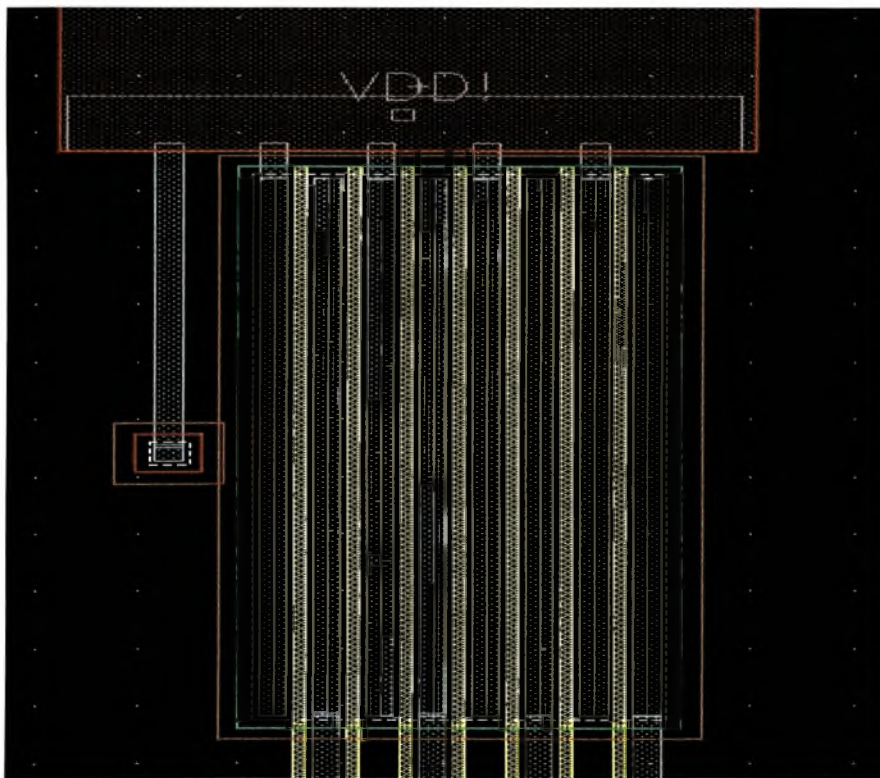
ΕΙΚΟΝΑ 12. πύλη NOT με $W_n=10.8\mu$ $W_p=21.6\mu$ (fingers= 2)

Στο αρχείο Inv324 (ΕΙΚΟΝΑ 13), τα πλάτη των τρανζίστορ ξεπερνούν τα 15 μ , όποτε μεταβάλλεται και ο αριθμός των fingers. Στην περίπτωση του Pmos ($W_p=64.8\mu$), ο αριθμός των fingers είναι ίσος με 5. (Πρακτικά αυτό σημαίνει ότι το αρχικό τρανζίστορ ισοδυναμεί με 5 παράλληλα συνδεδεμένα τρανζίστορ, το καθένα με πλάτος ίσο με το 1/5 του αρχικού, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές τους.) Όπως φαίνεται και από την ΕΙΚΟΝΑ 13, στη τροφοδοσία συνδέονται με metal1 οι πηγές και στην έξοδο συνδέεται η υποδοχή του Pmos. Στην περίπτωση του Nmos ($W_n=32.4\mu$), ο αριθμός των fingers είναι ίσος με 3. (Πρακτικά αυτό σημαίνει ότι το αρχικό τρανζίστορ ισοδυναμεί με 3 παράλληλα συνδεδεμένα τρανζίστορ, το καθένα με πλάτος ίσο με το 1/3 του αρχικού, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές τους ΕΙΚΟΝΑ 13). Όπως φαίνεται και από την ΕΙΚΟΝΑ 13, στη γείωση συνδέονται με metal1 οι πηγές και στην έξοδο συνδέονται οι υποδοχές του Nmos. Οι 2 πύλες του Pmos συνδέονται με τη μία πύλη του Nmos με το μέταλλο poly και με την επαφή M1_POLY1.

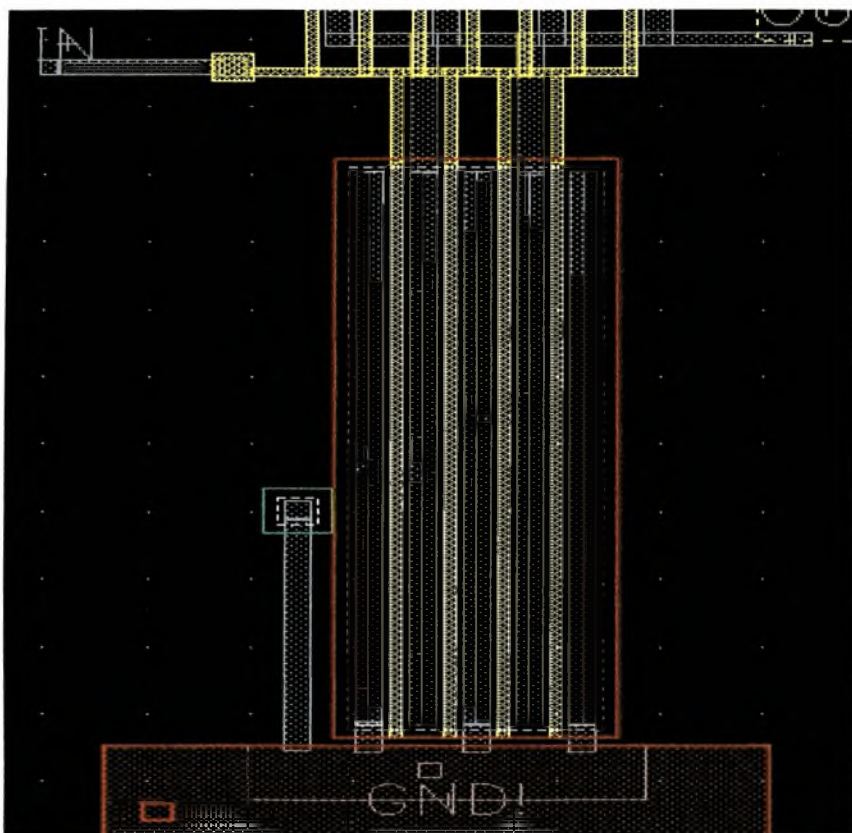


ΕΙΚΟΝΑ 13. πύλη NOT με $W_n=32.4\mu$ (fingers= 3) $W_p=64.8\mu$ (fingers= 5)

Στο αρχείο Inv500 (ΕΙΚΟΝΑ 14), τα πλάτη των τρανζίστορ ξεπερνούν τα 15u, όποτε μεταβάλλεται και ο αριθμός των fingers. Στην περίπτωση του Pmos ($W_p=100\text{ u}$), ο αριθμός των fingers είναι ίσος με 7. (Πρακτικά αυτό σημαίνει ότι το αρχικό τρανζίστορ ισοδυναμεί με 7 παράλληλα συνδεδεμένα τρανζίστορ, το καθένα με πλάτος ίσο με το $1/7$ του αρχικού, στα οποία έχουν συγχωνευτεί οι υποδοχές τους και οι πηγές τους ΕΙΚΟΝΑ 14). Όπως φαίνεται και από την ΕΙΚΟΝΑ 14, στη τροφοδοσία συνδέονται με metall οι πηγές και στην έξοδο συνδέονται οι υποδοχές του Pmos. Στην περίπτωση του Nmos ($W_n=50\text{ u}$), ο αριθμός των fingers είναι ίσος με 5. (Πρακτικά αυτό σημαίνει ότι το αρχικό τρανζίστορ Nmos ισοδυναμεί με 5 τρανζίστορ συνδεδεμένα παράλληλα, το καθένα με πλάτος ίσο με το $1/5$ του αρχικού, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές των τρανζίστορ. ΕΙΚΟΝΑ 15). Όπως φαίνεται και από την ΕΙΚΟΝΑ 15, στη γείωση συνδέονται με metall οι πηγές και στην έξοδο συνδέονται οι υποδοχές του Nmos. Οι 7 πύλες του Pmos συνδέονται με τις 4 πύλες του Nmos με το μέταλλο poly και με την επαφή M1_POLY1. Παρατηρούμε επιπλέον τη τοποθέτηση των επαφών (NWEELL PSUB) σε μια συγκεκριμένη θέση-απόσταση, η οποία συμβαδίζει με τους κανόνες σχεδίασης.

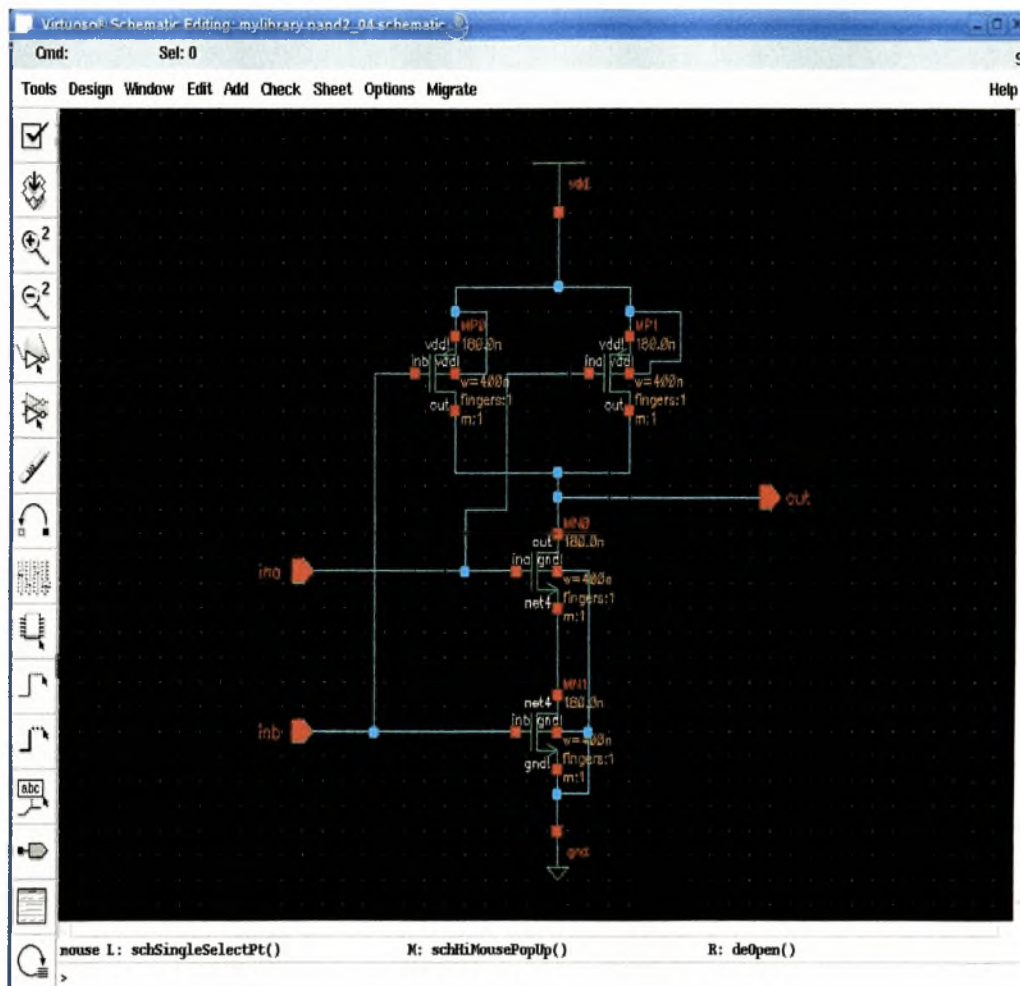


ΕΙΚΟΝΑ 14. πύλη NOT με $W_p=100\text{ u}$ (fingers=7)



ΕΙΚΟΝΑ 15. πύλη NOT με $W_n=50u$ (fingers=4)

4.3.2 ΠΥΛΗ NAND 2 ΕΙΣΟΔΩΝ

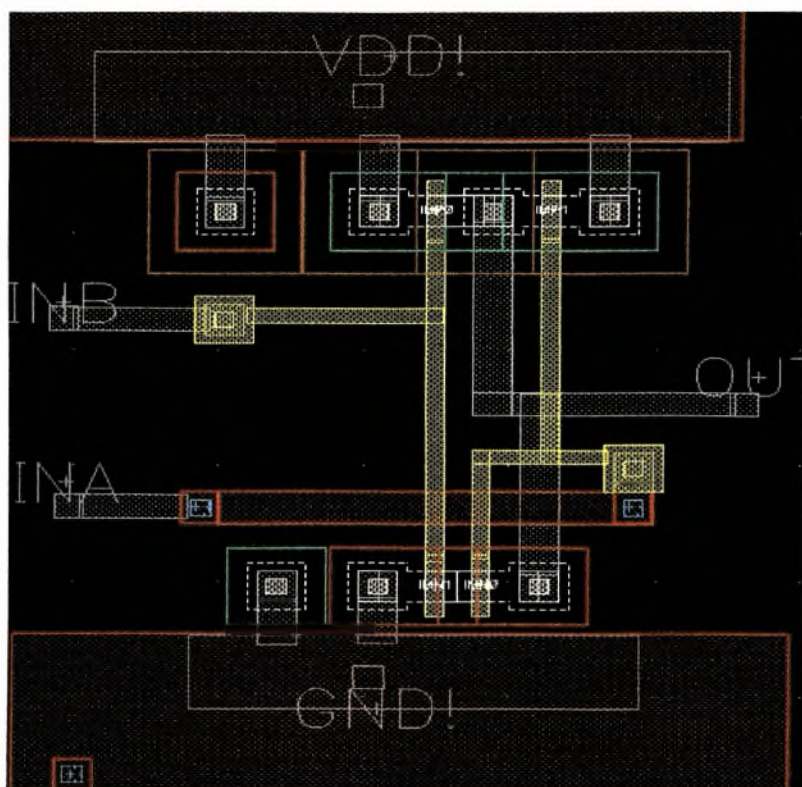


ΕΙΚΟΝΑ 16. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NAND 2 ΕΙΣΟΔΩΝ.

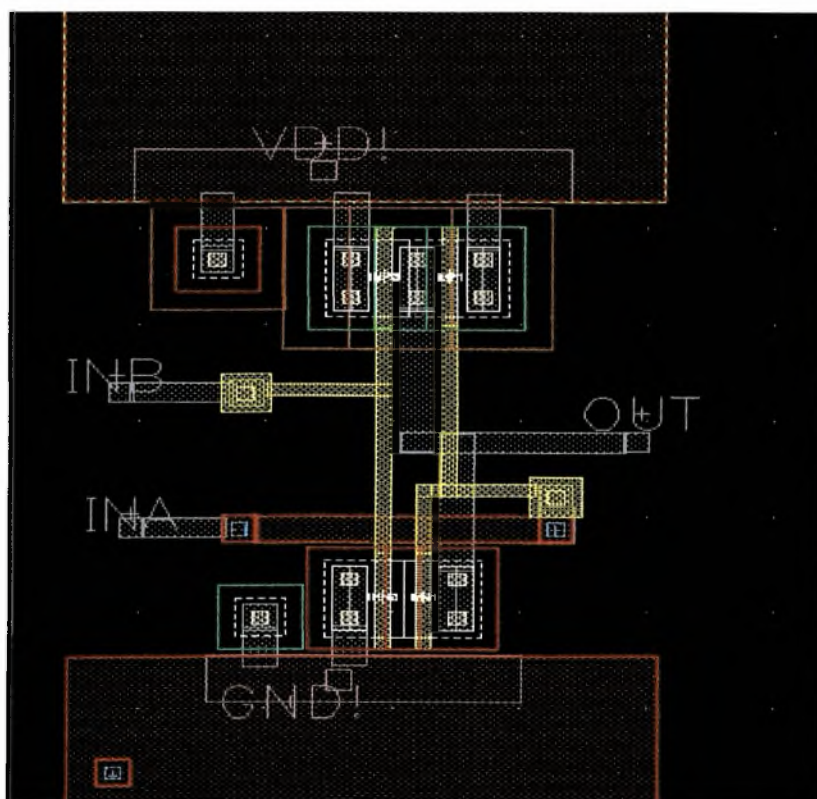
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NAND 2 εισόδων περιλαμβάνει 4 τρανζίστορ, 2 τρανζίστορ Pmos παράλληλα συνδεδεμένα και 2 τρανζίστορ Nmos συνδεδεμένα σε σειρά. Οι πηγές των 2 τρανζίστορ Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του ενός τρανζίστορ Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Nmos, ενώ η υποδοχή του 2ου Nmos συνδέεται στην έξοδο. Η πύλη του ενός Pmos συνδέεται με την πύλη του ενός Nmos με το ένα pin εισόδου και οι άλλες δυο πύλες συνδέονται με το άλλο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο παράλληλα συνδεδεμένα Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές των 2 τρανζίστορ σε μια υποδοχή, η οποία συνδέεται στην έξοδο (στο pin εξόδου) με τη χρήση του μετάλλου1 (metal1). Τα δυο συνδεδεμένα σε σειρά Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει δυο πύλες. Η πηγή του συγχωνευμένου Nmos συνδέεται στη γείωση (GND) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) PSUB με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Nmos συνδέεται στην έξοδο. Επιπλέον, με το μέταλλο1 συνδέονται οι πηγές των Pmos στην τροφοδοσία(VDD), όπου είναι συνδεδεμένη και η κατάλληλη επαφή NWELL με το ίδιο μέταλλο. Με το μέταλλο poly συνδέονται η πύλη του ενός Pmos με την πύλη του ενός Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Οι άλλες δυο πύλες (η δεύτερη του Pmos και η δεύτερη του Nmos) συνδέονται μεταξύ του με το μέταλλο poly, καθώς και με την κατάλληλη επαφή M1_POLY1. Για να συνδεθεί η δεύτερη επαφή με το δεύτερο pin εισόδου, και επειδή δεν γίνεται να ακουμπήσει-επικαλύψει τη σύνδεση των δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το δεύτερο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

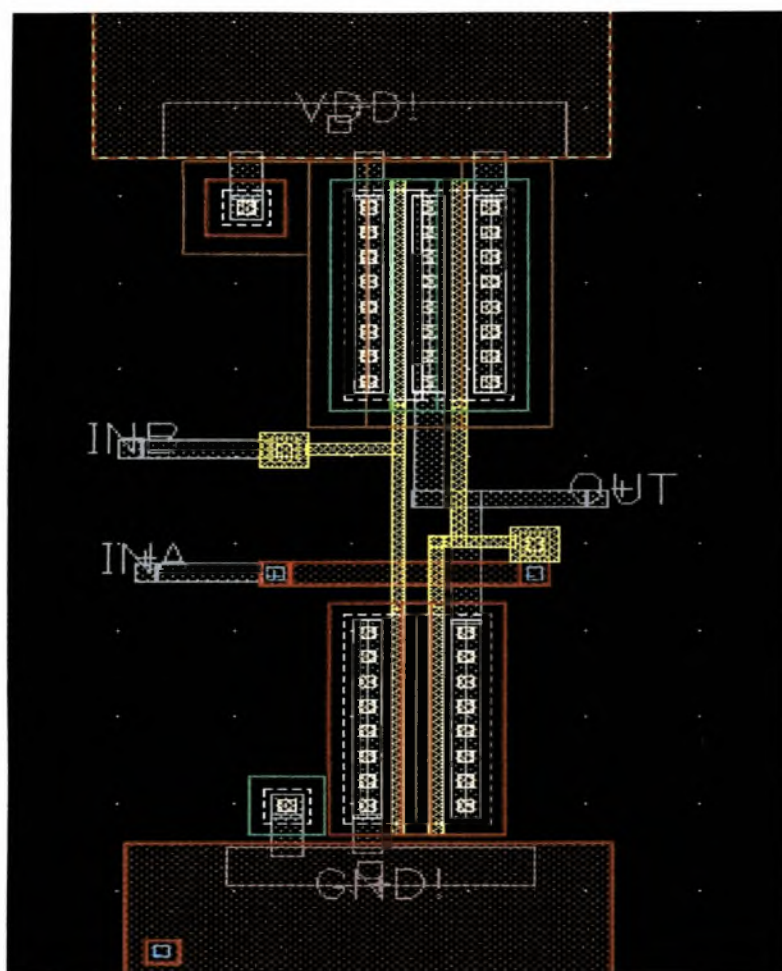
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers και παρουσιάζονται ιδιαίτερο ενδιαφέρον.



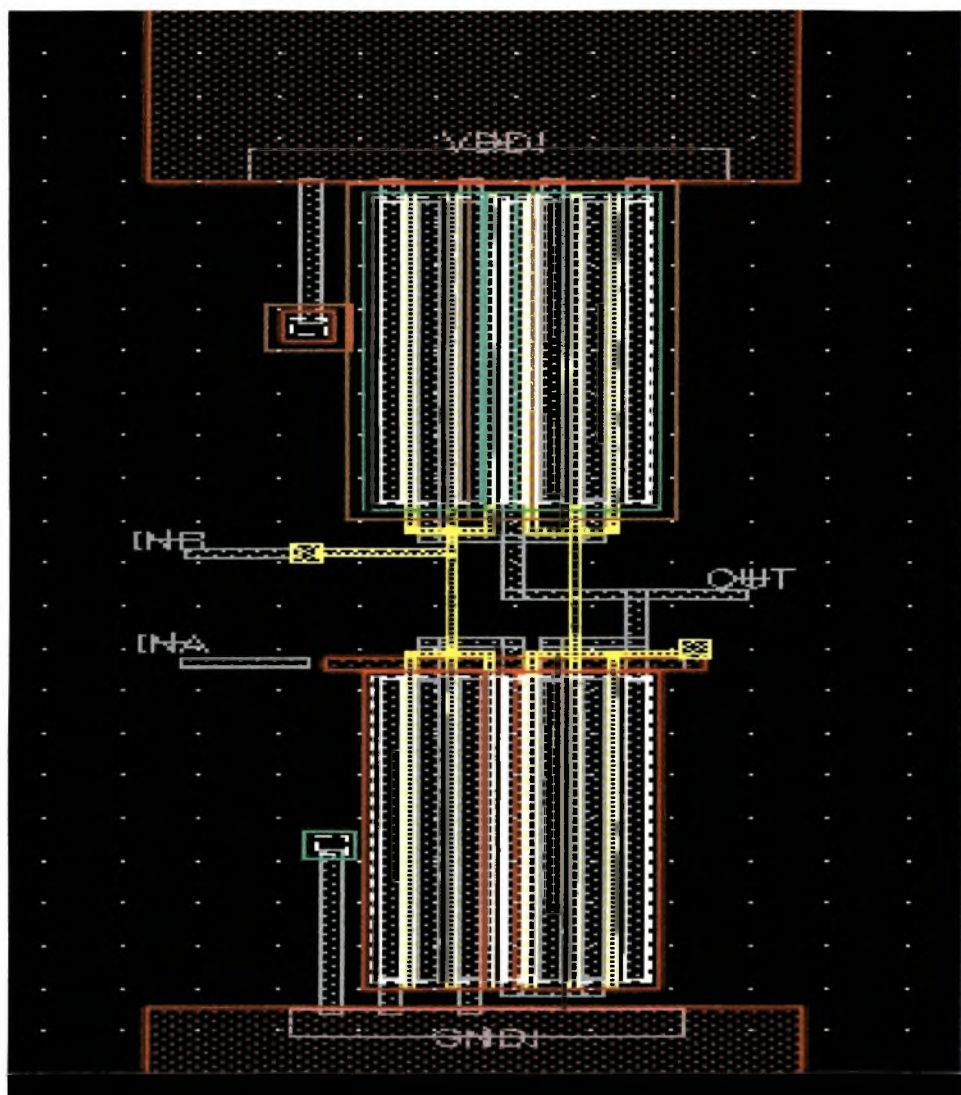
ΕΙΚΟΝΑ 17. πύλη NAND με $W_n=W_p=400n$



ΕΙΚΟΝΑ 18. πύλη NAND με $W_n=W_p=1.2 u$



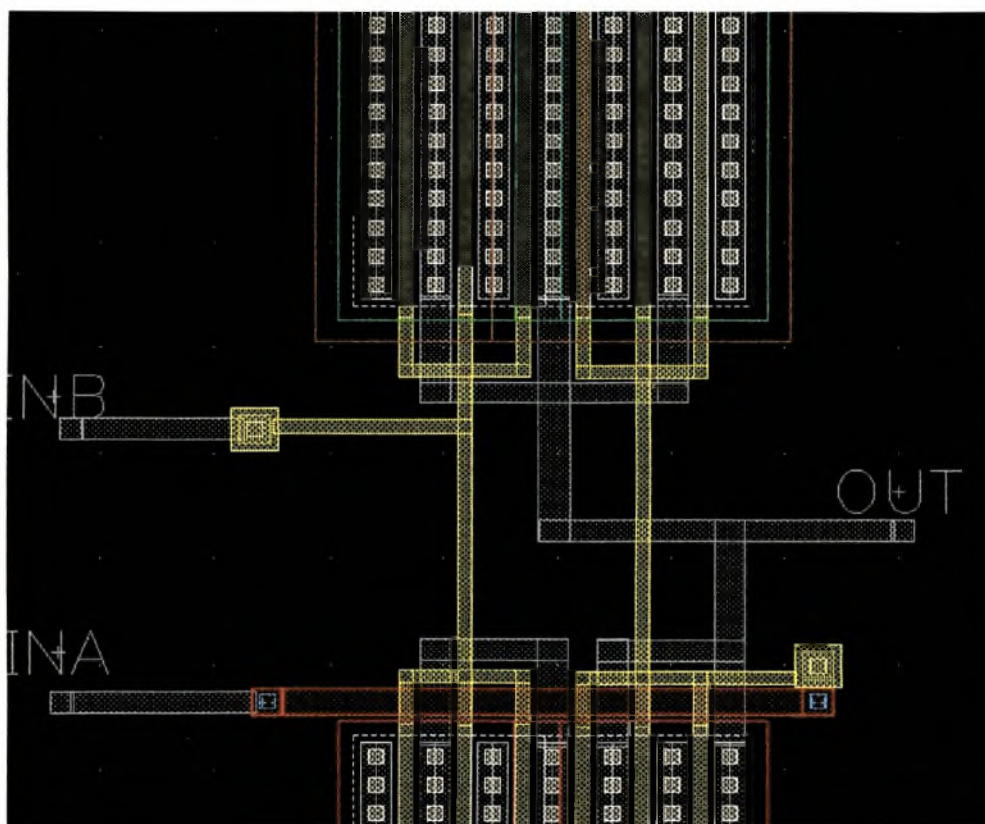
ΕΙΚΟΝΑ 19. πύλη NAND με $W_n=W_p=10.8 \mu$



EIKONA 20. πύλη NAND με $W_n=W_p=32.4 \mu$ (fingers =3)

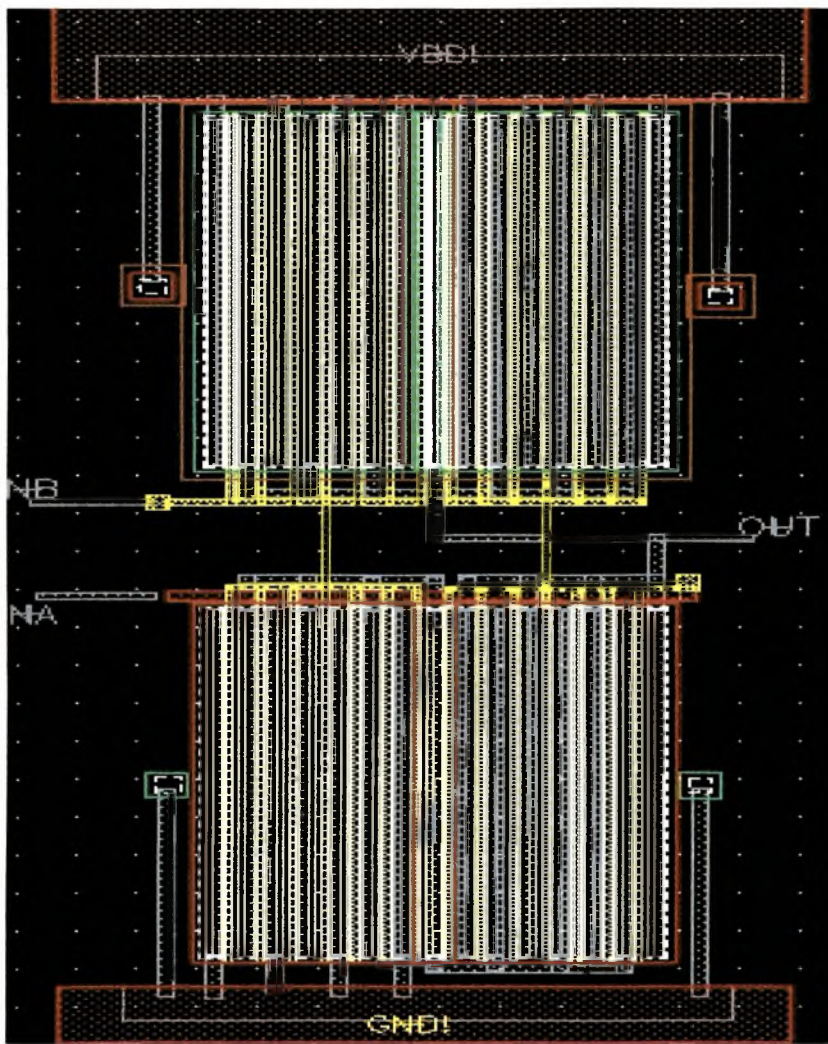
Στο αρχείο Nand2_324 (EIKONA 20), τα πλάτη των τρανζίστορ ξεπερνούν τα 15μ , όποτε μεταβάλλεται και ο αριθμός των fingers. Τα πλάτη όλων των τρανζίστορ είναι ίσα με 32.4μ , όποτε και ο αριθμός των fingers σε κάθε τρανζίστορ είναι ισος με 3. Στην περίπτωση των Pmos, τα οποία είναι παράλληλα συνδεδεμένα, συγχωνεύονται οι υποδοχές τους. (Πρακτικά, αφού ο αριθμός των fingers είναι ισος με 3, κάθε ένα από τα δύο Pmos ισοδυναμεί με 3 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές τους. Οπότε θα μπορούσαμε να πούμε ότι κάθε τρανζίστορ Pmos έχει δύο πηγές και δύο υποδοχές). Συνεπώς, αφού τα δύο Pmos συγχωνεύουν τις υποδοχές τους, θα μπορούσαμε να πούμε ότι το συγχωνευμένο Pmos έχει τέσσερις πηγές και τρεις υποδοχές. EIKONA 20. Όπως φαίνεται και από την EIKONA 20, στη τροφοδοσία συνδέονται με metal οι πηγές και στην έξοδο συνδέονται οι υποδοχές του Pmos. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα σε σειρά, τα πράγματα περιπλέκονται λίγο. (Πρακτικά, αφού ο αριθμός των fingers είναι ισος με 3, κάθε ένα από τα δύο Nmos ισοδυναμεί με

τρία τρανζίστορ συνδεδεμένα παράλληλα (το καθένα με πλάτος ίσο με $1/3$ του αρχικού), στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές των τρανζίστορ). Όπως φαίνεται και από την ΕΙΚΟΝΑ 20, στη γείωση συνδέονται με metal1 οι πηγές του πρώτου τρανζίστορ και στην έξοδο συνδέονται οι υποδοχές του δεύτερου τρανζίστορ. Οι τρεις πύλες κάθε Pmos τρανζίστορ συνδέονται με τις αντίστοιχες τρεις πύλες του κατάλληλου τρανζίστορ Nmos μέσω του μετάλλου poly, και με την επαφή M1_POLY1, και στη συνέχεια η επαφή συνδέεται με το αντίστοιχο pin εισόδου με το μέταλλο1. Τα υπόλοιπα είναι παρόμοια με αυτά των προαναφερθεισών πυλών.



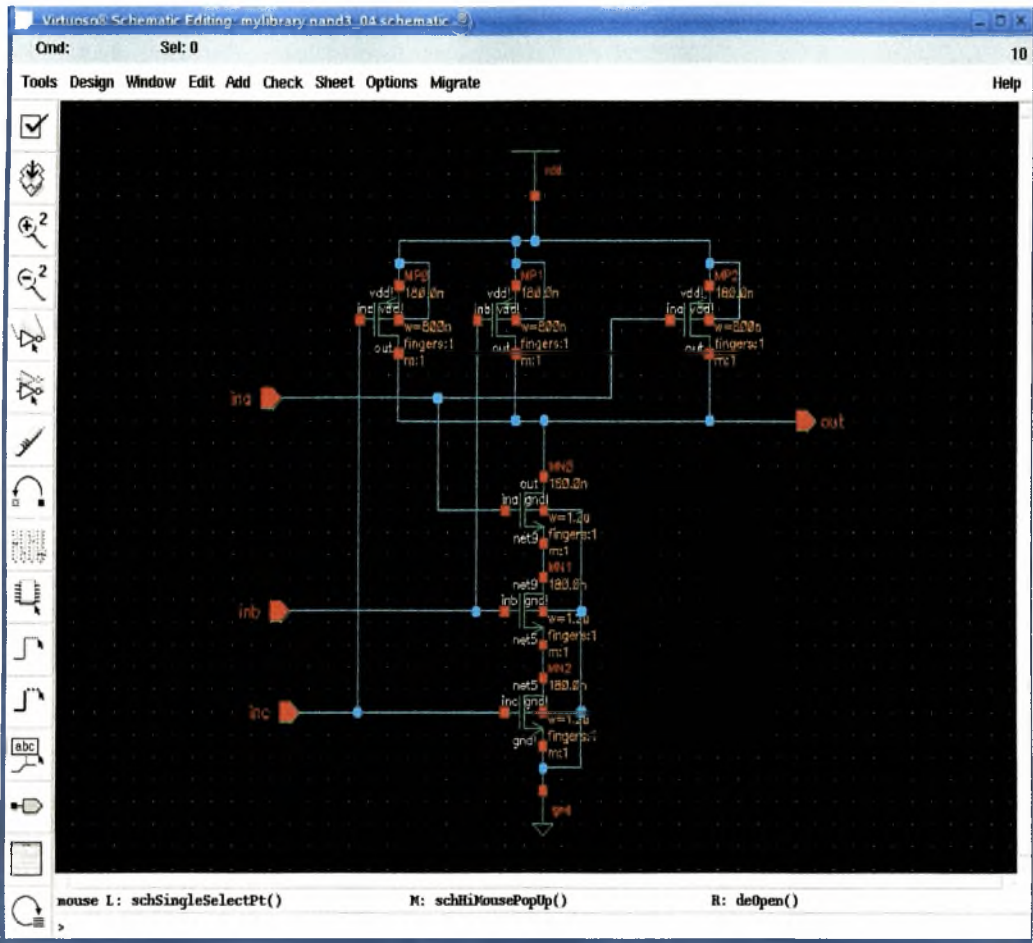
ΕΙΚΟΝΑ 21. πύλη NAND με $W_n=W_p=32.4 \mu$ (fingers=3)

Παρόμοια λογική ακολουθήθηκε και για την υλοποίηση της πύλης NAND 2 εισόδων, με $W_p=W_n=97.2\mu$ (το αρχείο Nand2_972), όπου ο αριθμός των fingers είναι ίσος με 7.



ΕΙΚΟΝΑ 22. πύλη NAND με $W_n=W_p=97.2\mu$ (fingers =7)

4.3.3 ΠΥΛΗ NAND 3 ΕΙΣΟΔΩΝ

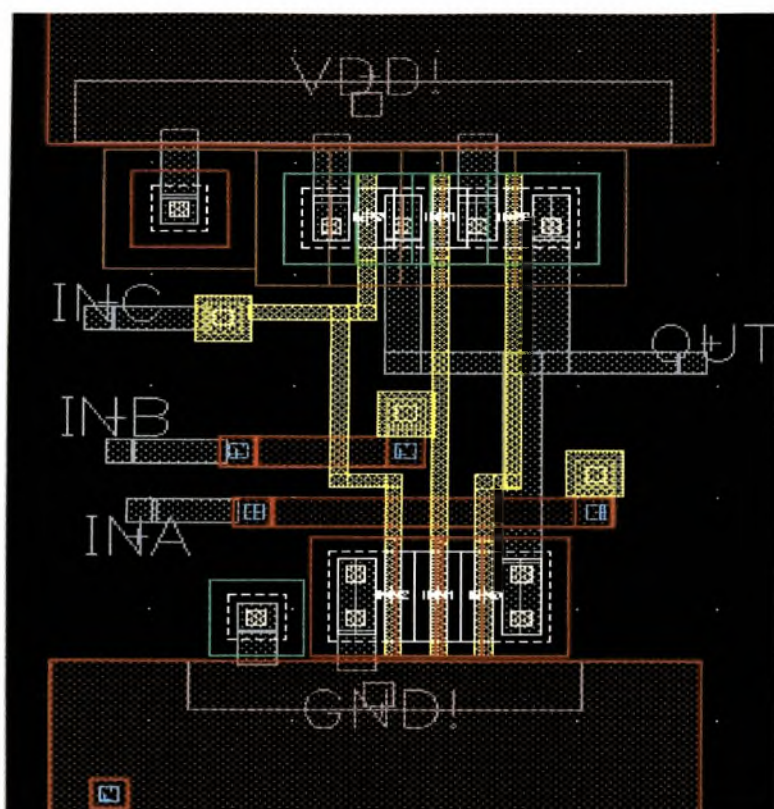


ΕΙΚΟΝΑ 23. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NAND 3 ΕΙΣΟΔΩΝ.

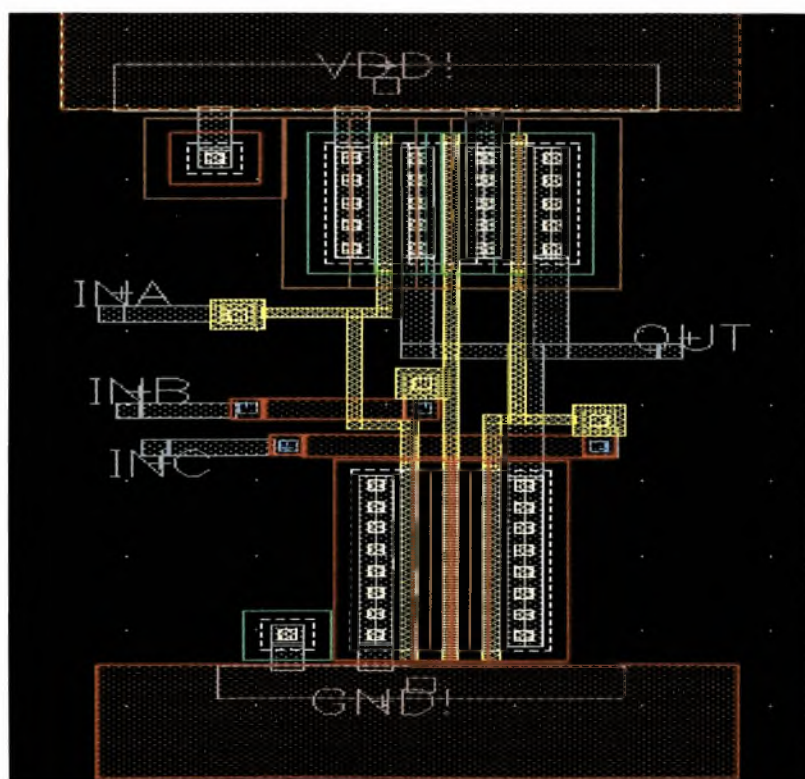
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NAND 3 εισόδων περιλαμβάνει 6 τρανζίστορ, 3 τρανζίστορ Pmos παράλληλα συνδεδεμένα και 3 τρανζίστορ Nmos συνδεδεμένα σε σειρά. Οι πηγές των 3 τρανζίστορ Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του πρώτου τρανζίστορ Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Nmos, ενώ η υποδοχή του 2ου Nmos συνδέεται στην πηγή του τρίτου τρανζίστορ Nmos και τέλος η υποδοχή του τρίτου Nmos συνδέεται στην έξοδο (στο pin εξόδου). Η πύλη κάθε τρανζίστορ Pmos συνδέεται με την πύλη του κατάλληλου Nmos με το αντίστοιχο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα τρία παράλληλα συνδεδεμένα Pmos, ενώνονται και συγκεκριμένα συγχωνεύονται εναλλάξ πρώτα οι υποδοχές και μετά οι πηγές των τρανζίστορ. Στην έξοδο (στο pin εξόδου) συνδέονται οι υποδοχές του συγχωνευμένου Pmos τρανζίστορ, με τη χρήση του μετάλλου1 (metall1). Στην τροφοδοσία συνδέονται οι πηγές του συγχωνευμένου Pmos τρανζίστορ, πάλι με το metall1. Στην τροφοδοσία είναι συνδεδεμένη και η κατάλληλη επαφή NWELL με το ίδιο μέταλλο. Τα τρία συνδεδεμένα σε σειρά Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει τρεις πύλες. Η πηγή του συγχωνευμένου Nmos συνδέεται στη γείωση (GND) πάλι με το metall1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) PSUB με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Nmos συνδέεται στην έξοδο. Με το μέταλλο poly συνδέονται η πύλη του κάθε Pmos με την πύλη κάθε Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metall με την επαφή M1_POLY1. Ακολουθείται παρόμοια διαδικασία για την σύνδεση των πυλών στα pins εισόδου με αυτή που περιγράφηκε στη υλοποίηση της πύλης NAND 2 εισόδων (χρησιμοποίηση επιπλέον επαφών, ώστε να μην βραχυκυκλώνονται οι πύλες μεταξύ τους). Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

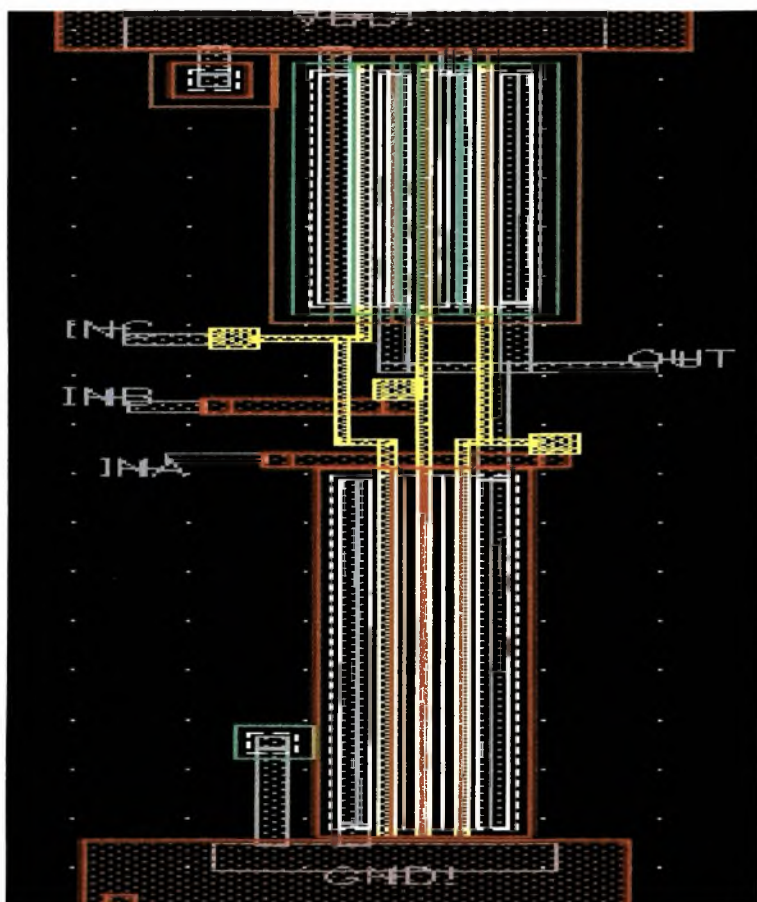
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



ΕΙΚΟΝΑ 24. πύλη NAND 3 εισόδων με $W_n=1.2\mu$ $W_p=800n$



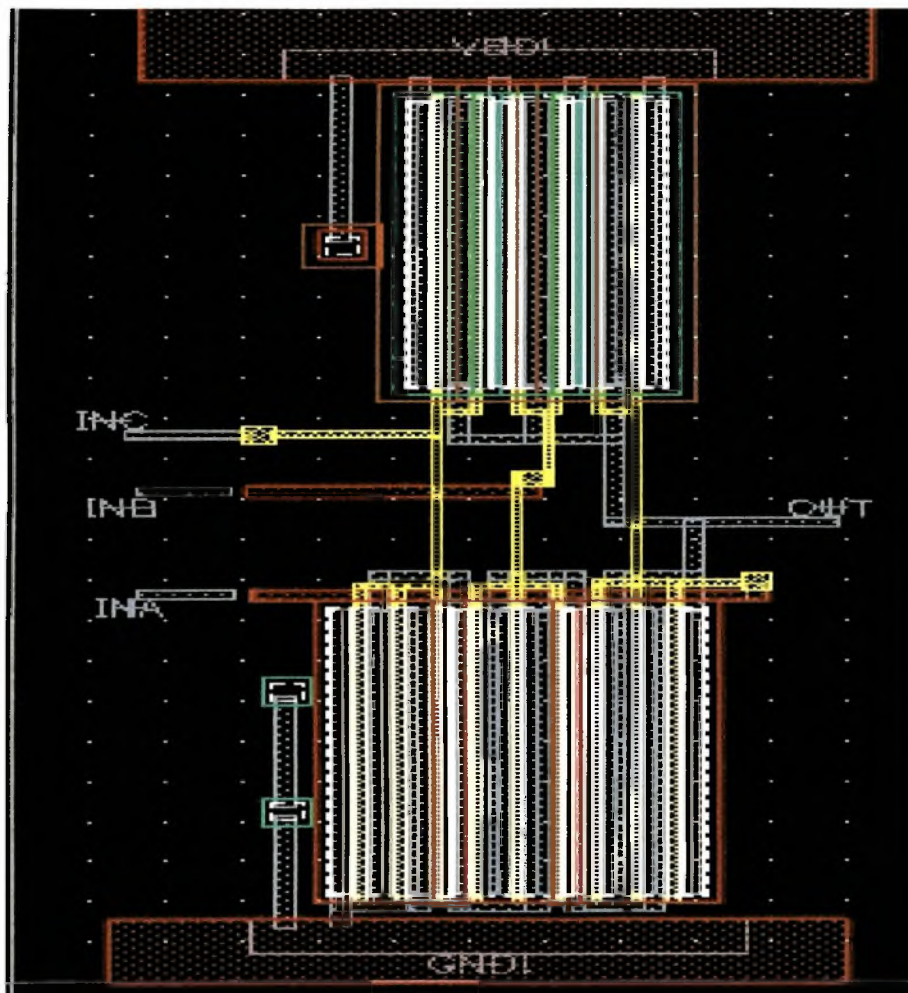
ΕΙΚΟΝΑ 25. πύλη NAND 3 εισόδων με $W_n=3.6\mu$ $W_p=2.4\mu$



ΕΙΚΟΝΑ 26. πύλη NAND 3 εισόδων με $W_n=10.8u$ $W_p=7.2u$

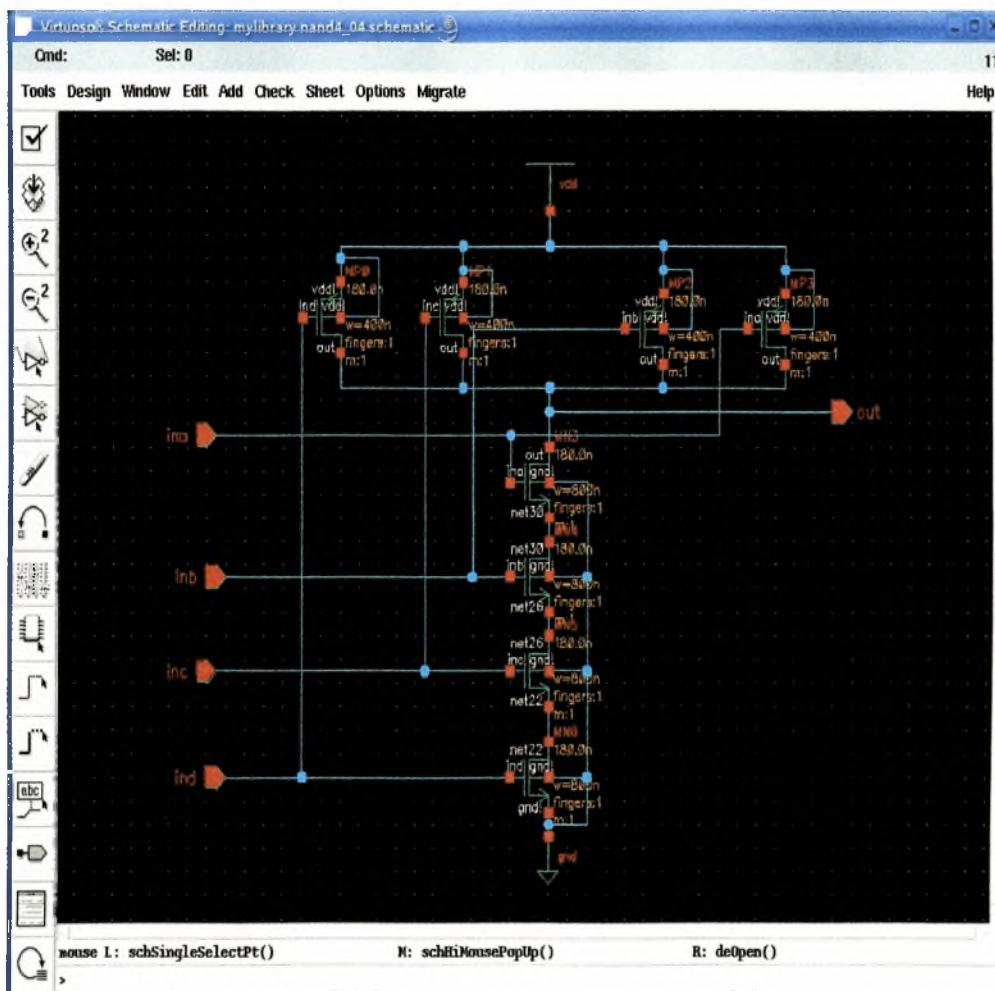
Στο αρχείο Nand3_108 (ΕΙΚΟΝΑ 27), τα πλάτη των τρανζίστορ ξεπερνούν τα $15u$, όποτε μεταβάλλεται και ο αριθμός των fingers. Τα πλάτη των τρανζίστορ Pmos είναι ίσα με $21.6u$, όποτε και ο αριθμός των fingers σε κάθε τρανζίστορ είναι ίσος με 2 και τα πλάτη των Nmos ίσα με $32.4u$, όποτε ο αριθμός των fingers σε κάθε τρανζίστορ είναι ίσος με 3. Στην περίπτωση των Pmos, τα οποία είναι παράλληλα συνδεδεμένα, συγχωνεύονται σε ένα τρανζίστορ. (Πρακτικά, αφού ο αριθμός των fingers είναι ίσος με 2, κάθε ένα από τα 3 Pmos ισοδυναμεί με 2 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές τους σε μια υποδοχή. ΕΙΚΟΝΑ 27). Όπως φαίνεται και από την ΕΙΚΟΝΑ 27, στη τροφοδοσία συνδέονται με metal1 οι πηγές και στην έξοδο συνδέονται οι υποδοχές του συγχωνευμένου Pmos. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα σε σειρά, τα πράγματα περιπλέκονται λίγο. Πρακτικά, αφού ο αριθμός των fingers είναι ίσος με 3, κάθε ένα από τα 3 Nmos ισοδυναμεί με 3 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές των τρανζίστορ. (Οπότε θα μπορούσαμε να πούμε ότι κάθε ένα από τα τρία τρανζίστορ Nmos έχει δύο πηγές και δύο υποδοχές). Όπως φαίνεται και από την ΕΙΚΟΝΑ 27, στη γείωση συνδέονται με metal1 οι πηγές του πρώτου τρανζίστορ και στην έξοδο συνδέονται οι υποδοχές του τρίτου τρανζίστορ. Οι τρεις πύλες κάθε Nmos τρανζίστορ συνδέονται με τις αντίστοιχες δυο πύλες του

κατάλληλου Pmos μέσω του μετάλλου poly, και με την επαφή M1_POLY1, και στη συνέχεια η επαφή συνδέεται με το αντίστοιχο pin εισόδου με το μεταλλο1. Ιδιαίτερο ενδιαφέρον παρουσιάζει η τοποθέτηση δύο πηγών PSUB, κατάλληλα συνδεδεμένες στη γείωση, σε συγκεκριμένη απόσταση. Τα υπόλοιπα είναι παρόμοια με αυτά των προαναφερθεισών πυλών.



ΕΙΚΟΝΑ 27. πύλη NAND 3 εισόδων με $W_n=32.4\mu$ (fingers =3)
 $W_p=21.6\mu$ (fingers =2)

4.3.4 ΠΥΛΗ NAND 4 ΕΙΣΟΔΩΝ

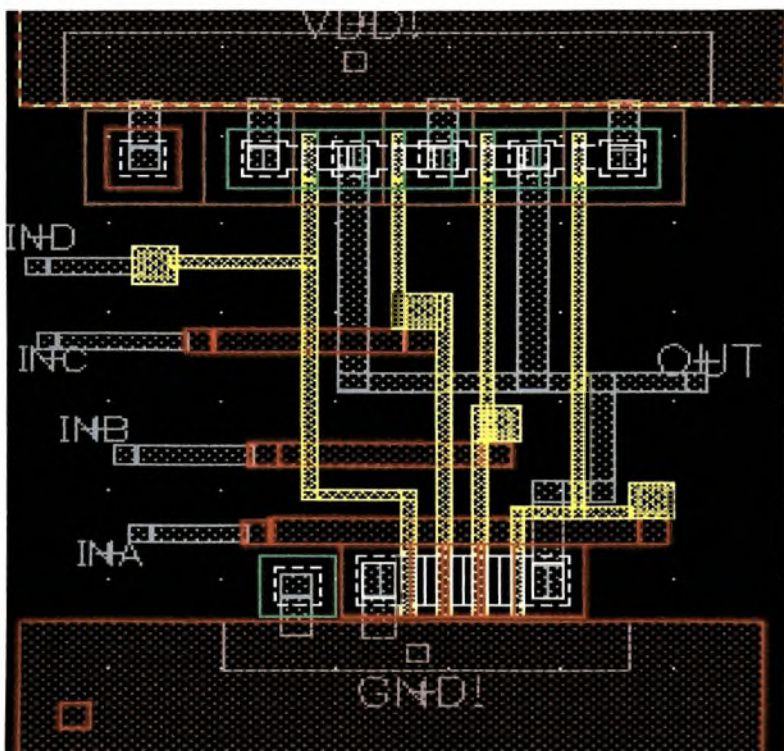


ΕΙΚΟΝΑ 28. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NAND 4 ΕΙΣΟΔΩΝ.

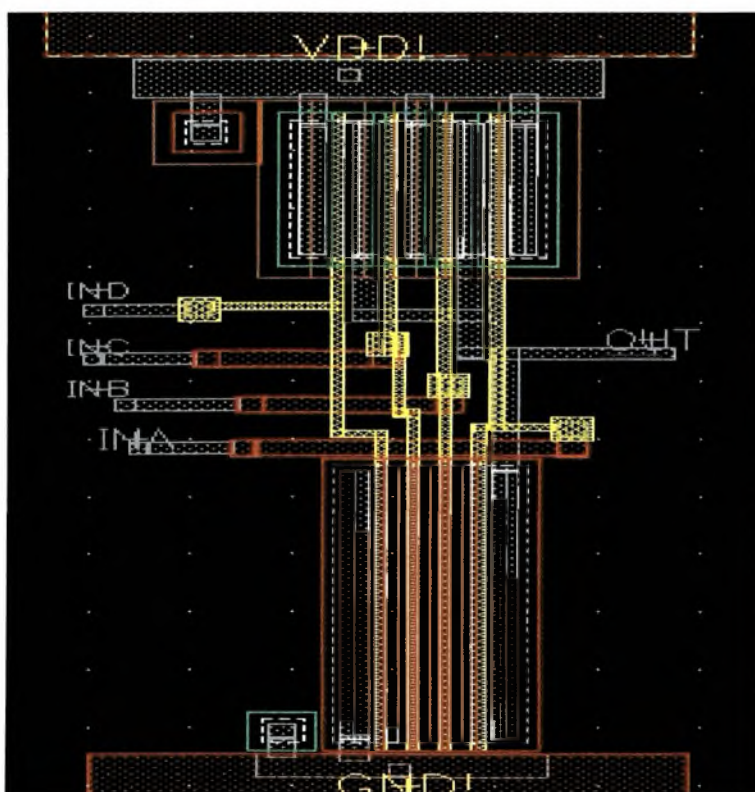
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NAND 4 εισόδων περιλαμβάνει 8 τρανζίστορ, 4 τρανζίστορ Pmos παράλληλα συνδεδεμένα και 4 τρανζίστορ Nmos συνδεδεμένα σε σειρά. Οι πηγές των 4 τρανζίστορ Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του πρώτου τρανζίστορ Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Nmos, ενώ η υποδοχή του 2ου Nmos συνδέεται στην πηγή του τρίτου τρανζίστορ Nmos, στη συνέχεια η υποδοχή του τρίτου Nmos συνδέεται στην πηγή του τετάρτου Nmos και τέλος η υποδοχή του τετάρτου Nmos συνδέεται στην έξοδο (στο pin εξόδου). Η πύλη κάθε τρανζίστορ Pmos συνδέεται με την πύλη του κατάλληλου Nmos με το αντίστοιχο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα τέσσερα παράλληλα συνδεδεμένα Pmos, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές και οι πηγές των τρανζίστορ. Στην έξοδο (στο pin εξόδου) συνδέονται οι υποδοχές του συγχωνευμένου Pmos τρανζίστορ, με τη χρήση του μετάλλου1 (metal1). Στην τροφοδοσία συνδέονται οι πηγές του συγχωνευμένου Pmos τρανζίστορ, πάλι με το metal1. Στην τροφοδοσία είναι συνδεδεμένη και η κατάλληλη επαφή NWELL με το ίδιο μέταλλο. Τα τέσσερα συνδεδεμένα σε σειρά Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει τέσσερις πύλες. Η πηγή του συγχωνευμένου Nmos συνδέεται στη γείωση (GND) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) PSUB με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Nmos συνδέεται στην έξοδο. Με το μέταλλο poly συνδέονται η πύλη του κάθε Pmos με την πύλη κάθε Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Ακολουθείται παρόμοια διαδικασία για την σύνδεση των πυλών στα pins εισόδου με αυτή που περιγράφηκε στη υλοποίηση της πύλης NAND 2 εισόδων (χρησιμοποίηση επιπλέον επαφών, ώστε να μην βραχυκυκλώνονται οι πύλες μεταξύ τους). Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

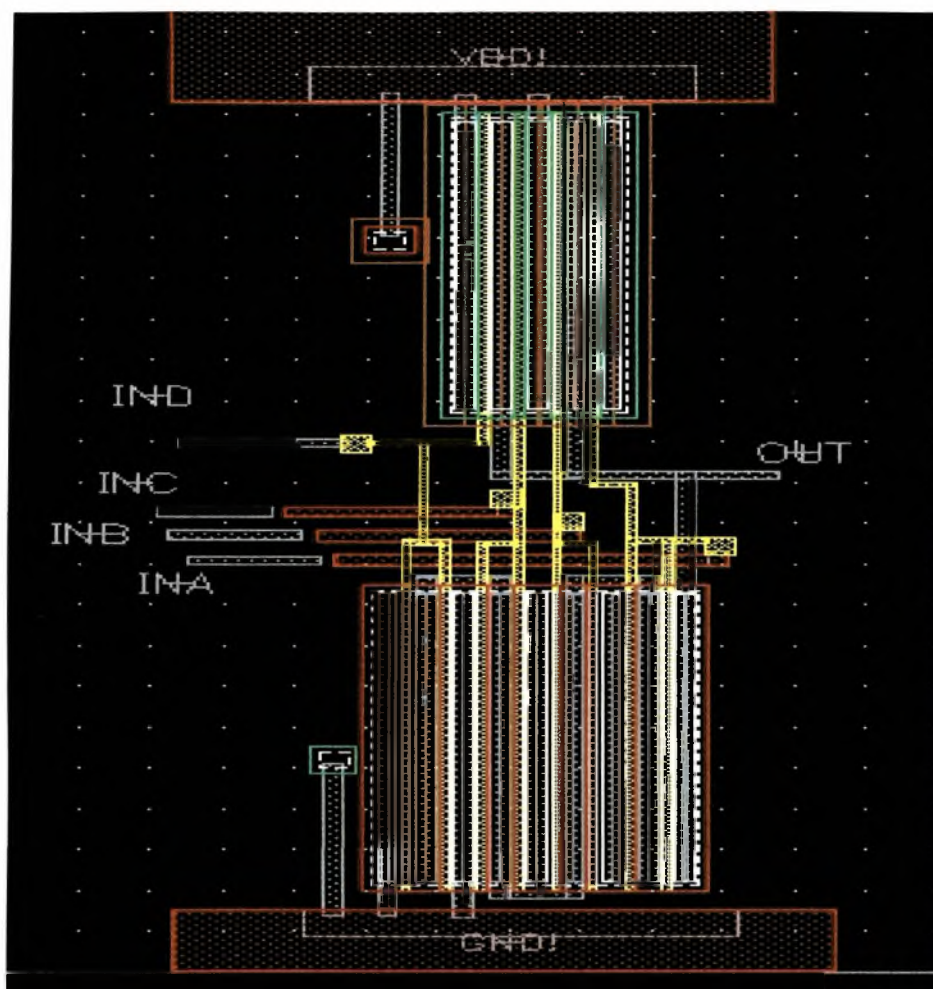
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



ΕΙΚΟΝΑ 29. πύλη NAND 4 εισόδων με $W_p=400n$ $W_n=800n$



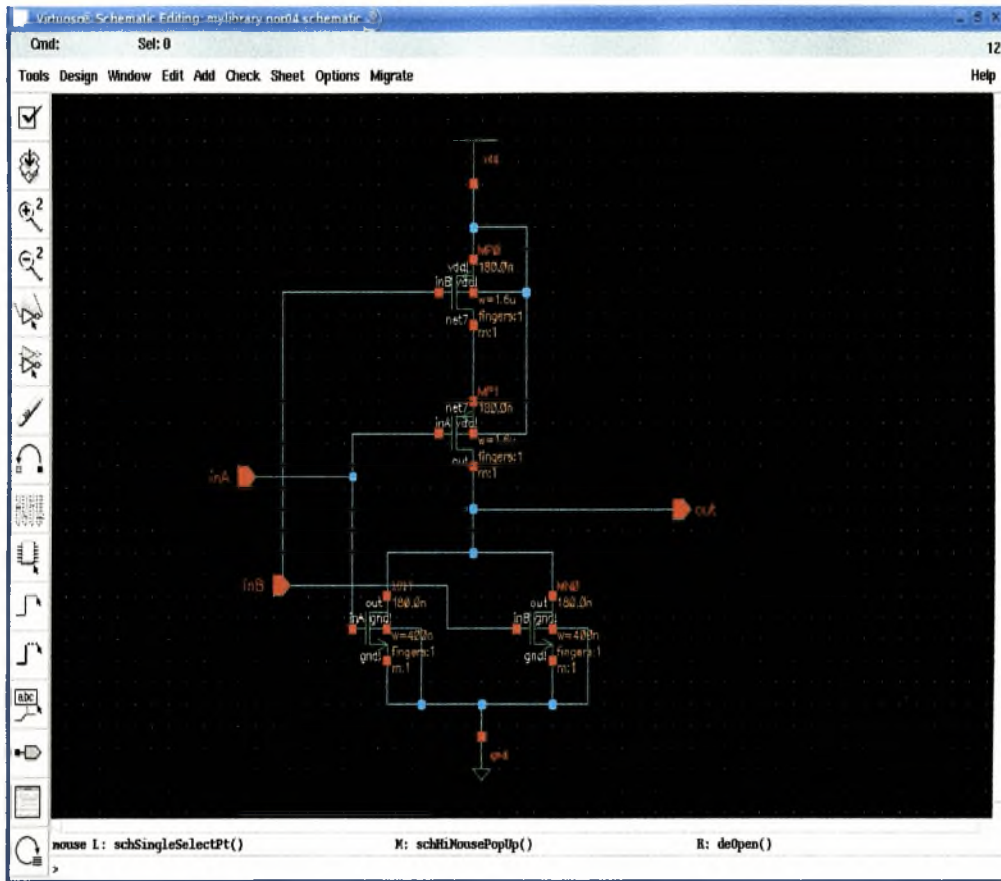
ΕΙΚΟΝΑ 30. πύλη NAND 4 εισόδων με $W_p=3.6u$ $W_n=7.2u$



ΕΙΚΟΝΑ 31. πύλη NAND 4 εισόδων με $W_p=10.8\mu$ $W_n=21.6\mu$ (fingers =2)

Στο αρχείο Nand4_108 (ΕΙΚΟΝΑ 31), τα πλάτη των Nmos τρανζίστορ ξεπερνούν τα 15μ , όποτε μεταβάλλεται και ο αριθμός των fingers. Τα πλάτη των Nmos ισα με 21.6μ , όποτε ο αριθμός των fingers σε κάθε τρανζίστορ είναι ίσος με 2. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα σε σειρά, τα πράγματα περιπλέκονται λίγο. (Πρακτικά, αφού ο αριθμός των fingers είναι ίσος με 2, κάθε ένα από τα 4 Nmos ισοδυναμεί με 2 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές τους σε μια). Όπως φαίνεται και από την ΕΙΚΟΝΑ 31, στη γείωση συνδέονται με metall οι πηγές του πρώτου τρανζίστορ και στην έξοδο συνδέονται οι υποδοχές του τρίτου τρανζίστορ. Τα υπόλοιπα είναι παρόμοια με αυτά που αναφέραμε παραπάνω.

4.3.5 ΠΥΛΗ NOR 2 ΕΙΣΟΔΩΝ

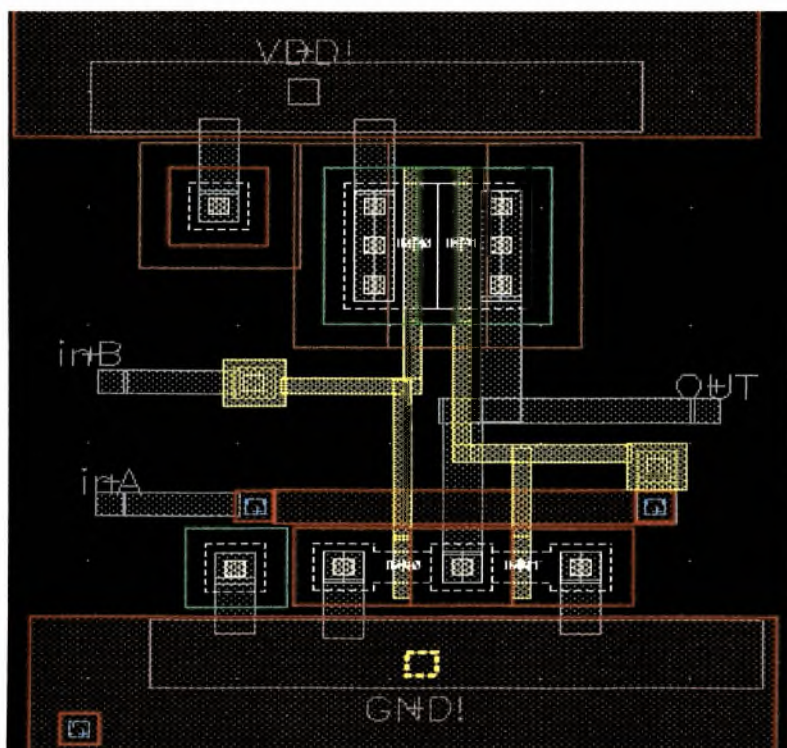


ΕΙΚΟΝΑ 32. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NOR 2 ΕΙΣΟΔΩΝ.

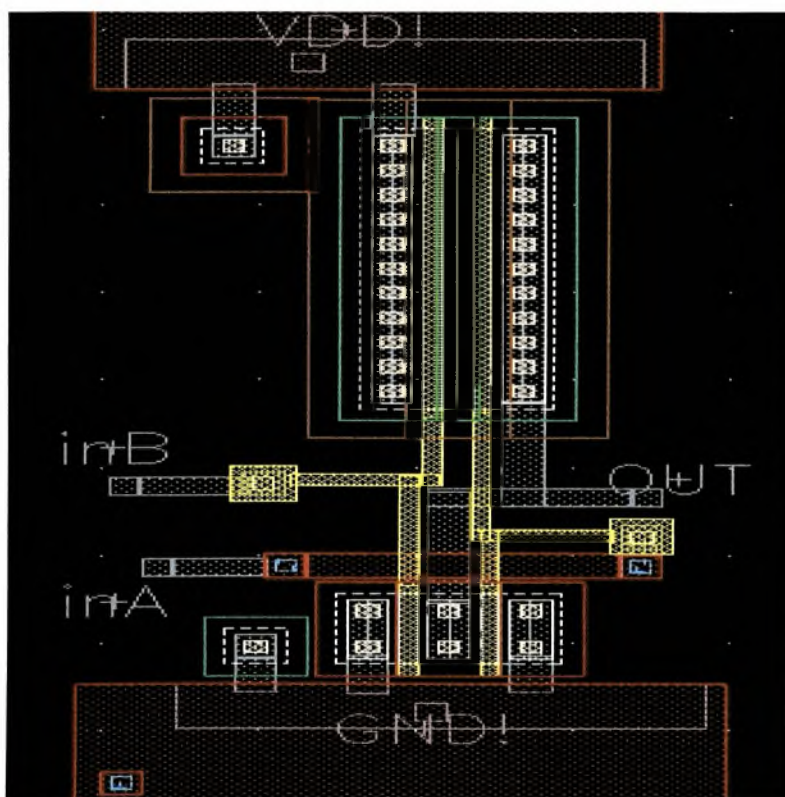
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NOR 2 εισόδων περιλαμβάνει 4 τρανζίστορ, 2 τρανζίστορ Pmos συνδεδεμένα σε σειρά και 2 τρανζίστορ Nmos παράλληλα συνδεδεμένα. Οι πηγές των 2 τρανζίστορ Nmos συνδέονται στην γείωση και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του ενός τρανζίστορ Pmos συνδέεται στη τροφοδοσία και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ mos, ενώ η υποδοχή του 2ου Pmos συνδέεται στην έξοδο (στο pin εξόδου). Η πύλη του ενός Pmos συνδέεται με την πύλη του ενός Nmos με το ένα pin εισόδου και οι άλλες δυο πύλες συνδέονται με το άλλο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο συνδεδεμένα σε σειρά Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει δυο πύλες. Η πηγή του συγχωνευμένου Pmos συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Nmos συνδέεται στην έξοδο (στο pin εξόδου) πάλι με το μέταλλο1 (metal1). Τα δυο παράλληλα συνδεδεμένα Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές των 2 τρανζίστορ σε μια υποδοχή, η οποία συνδέεται στην έξοδο (στο pin εξόδου) με τη χρήση του μετάλλου1 (metal1). Οι πηγές των δυο Nmos συνδέονται στη γείωση όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1 . Με το μέταλλο poly συνδέονται η πύλη του ενός Pmos με την πύλη του ενός Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Οι άλλες δυο πύλες συνδέονται μεταξύ τους με το μέταλλο poly, καθώς και με την κατάλληλη επαφή M1_POLY1. Για να συνδεθεί η δεύτερη επαφή με το δεύτερο pin εισόδου, και επειδή δεν γίνεται να ακουμπήσει-επικαλύψει τη σύνδεση των δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το δεύτερο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

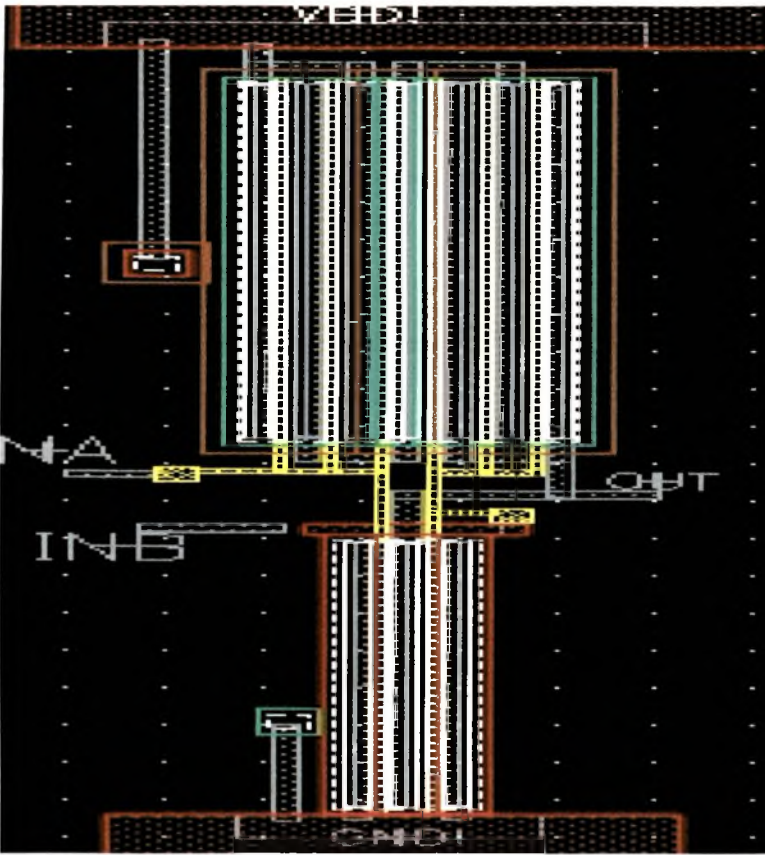
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



ΕΙΚΟΝΑ 33 Πύλη NOR 2 εισόδων $W_n=400n$ $W_p=1.6u$.



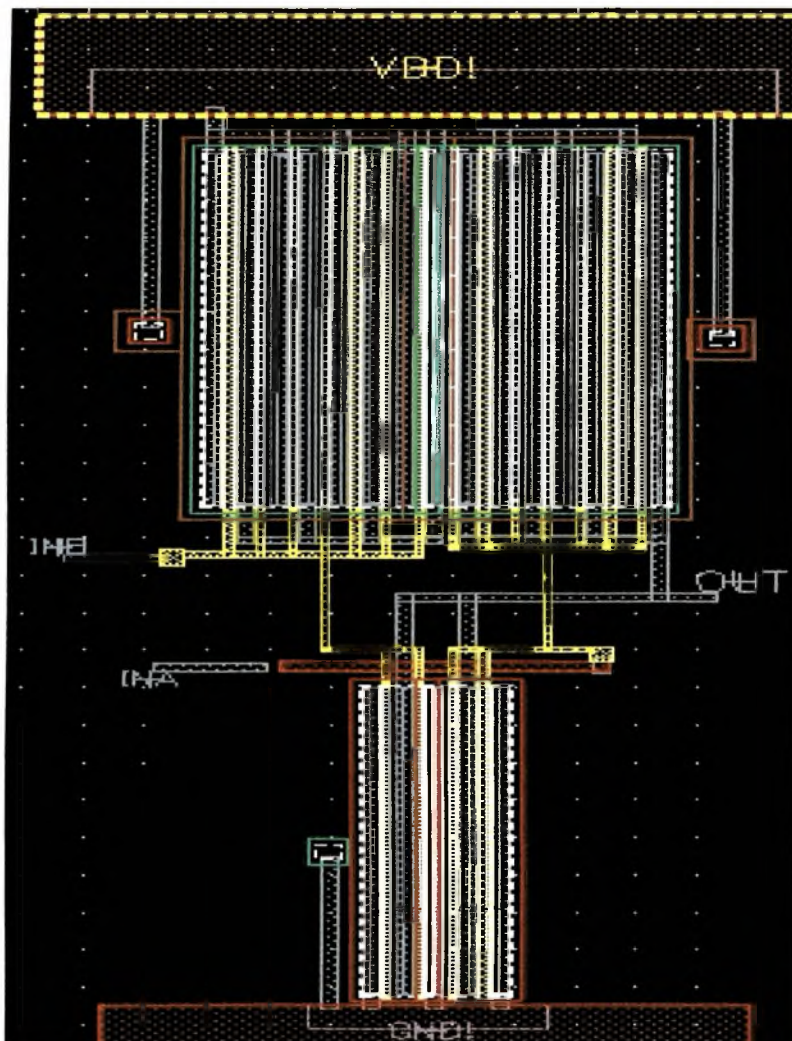
ΕΙΚΟΝΑ 34 Πύλη NOR 2 εισόδων $W_n=1.2u$ $W_p=4.8u$.



ΕΙΚΟΝΑ 35 Πύλη NOR 2 εισόδων $W_n=10.8u$ $W_p=43.2u$ (fingers =3)

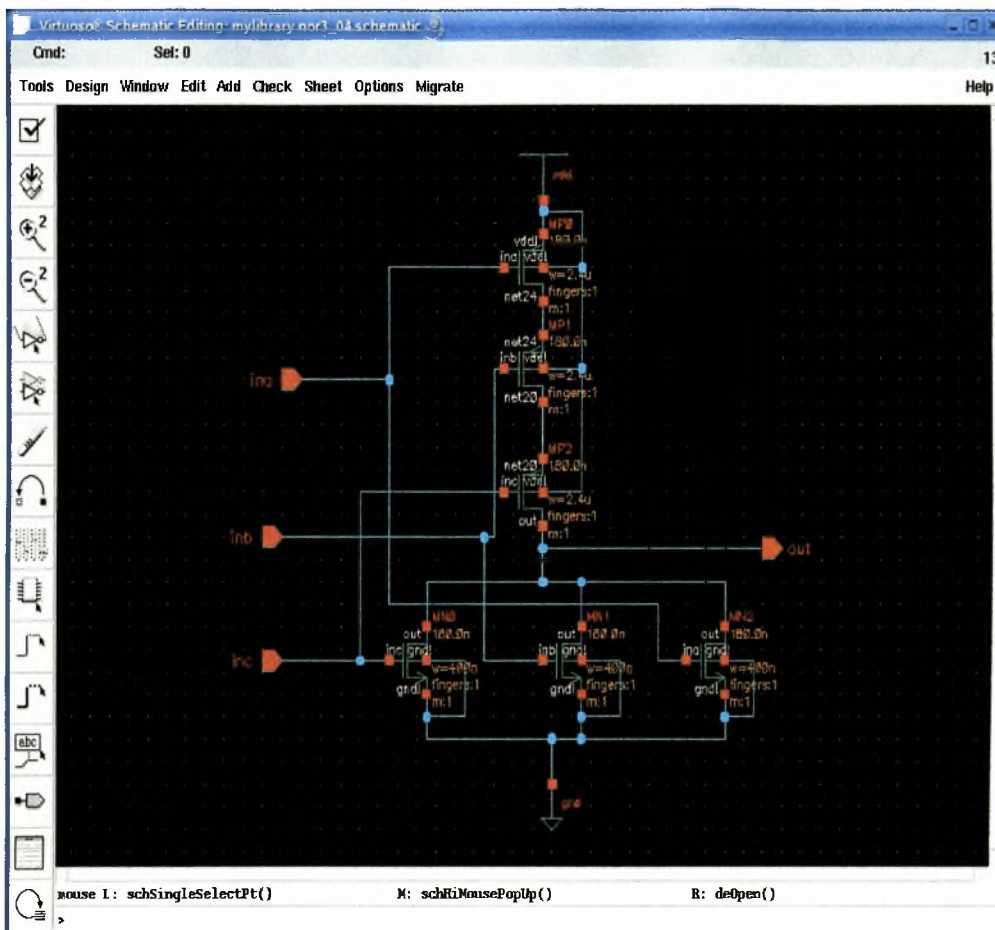
Στο αρχείο Nor2_108 (ΕΙΚΟΝΑ 35), τα πλάτη των τρανζίστορ ξεπερνούν τα 15u, όποτε μεταβάλλεται και ο αριθμός των fingers. Τα πλάτη όλων των Pmos είναι ίσα με 43.2u, όποτε ο αριθμός των fingers σε κάθε τρανζίστορ είναι ισος με 3. (Πρακτικά, αφού ο αριθμός των fingers είναι ισος με 3, κάθε ένα από τα 2 Pmos ισοδυναμεί με 3 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές και οι πηγές τους. Οπότε θα μπορούσαμε να πούμε ότι κάθε τρανζίστορ Pmos έχει 2 πηγές και 2 υποδοχές). Συνεπώς, αφού τα δύο Pmos ενώνονται, συγχωνεύουν τις υποδοχές τους. Όπως φαίνεται και από την ΕΙΚΟΝΑ 35, στη τροφοδοσία συνδέονται με metall οι πηγές του πρώτου Pmos και στην έξοδο συνδέονται οι υποδοχές του δεύτερου Pmos. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα παράλληλα, συγχωνεύονται οι υποδοχές τους σε μία. Όπως φαίνεται και από την ΕΙΚΟΝΑ 35, στη γείωση συνδέονται με metall οι πηγές των τρανζίστορ Nmos και στην έξοδο συνδέεται η υποδοχή των Nmos τρανζίστορ. Οι τρεις πύλες κάθε Pmos τρανζίστορ συνδέονται με τις αντίστοιχες τρεις πύλες του κατάλληλου τρανζίστορ Nmos μέσω του μέταλλου poly, και με την επαφή M1_POLY1, και στη συνέχεια η επαφή συνδέεται με το αντίστοιχο pin εισόδου με το μεταλλο1 . Τα υπόλοιπα είναι παρόμοια με αυτά των προαναφερθεισών πυλών.

Με παρόμοια λογική, αναλύεται και η υλοποίηση της πύλης NOR με $W_n=25$ (fingers=2) , $W_p=100u$ (fingers=7), μόνο που σε αυτή τη περίπτωση ο αριθμός των fingers είναι μεγαλύτερος.



ΕΙΚΟΝΑ 36 Πύλη NOR 2 εισόδων $W_n=10.8u$ $W_p=43.2u$ (fingers =3)

4.3.6 ΠΥΛΗ NOR 3 ΕΙΣΟΔΩΝ

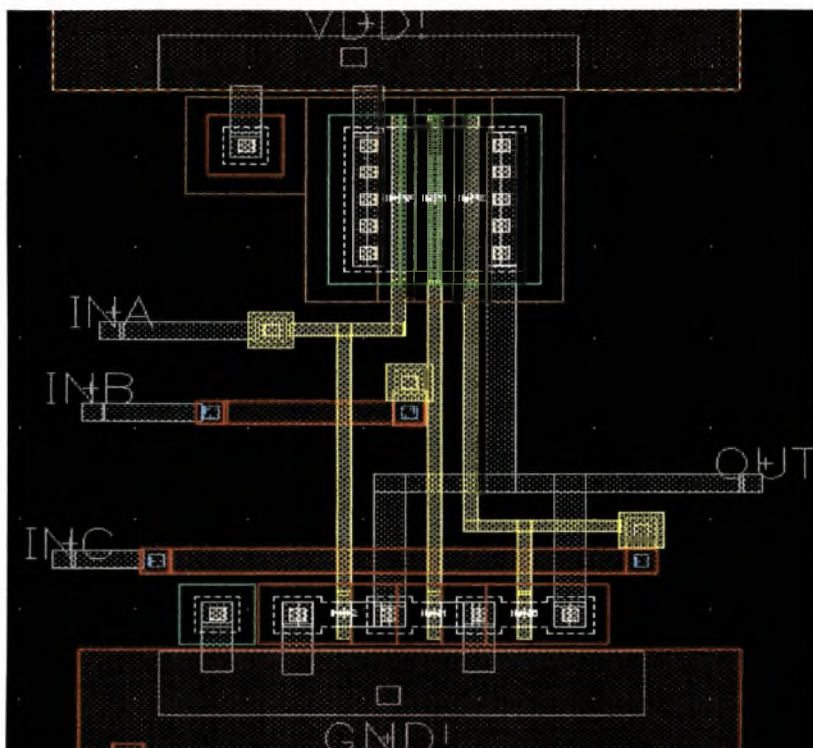


ΕΙΚΟΝΑ 37. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NOR 3 ΕΙΣΟΔΩΝ.

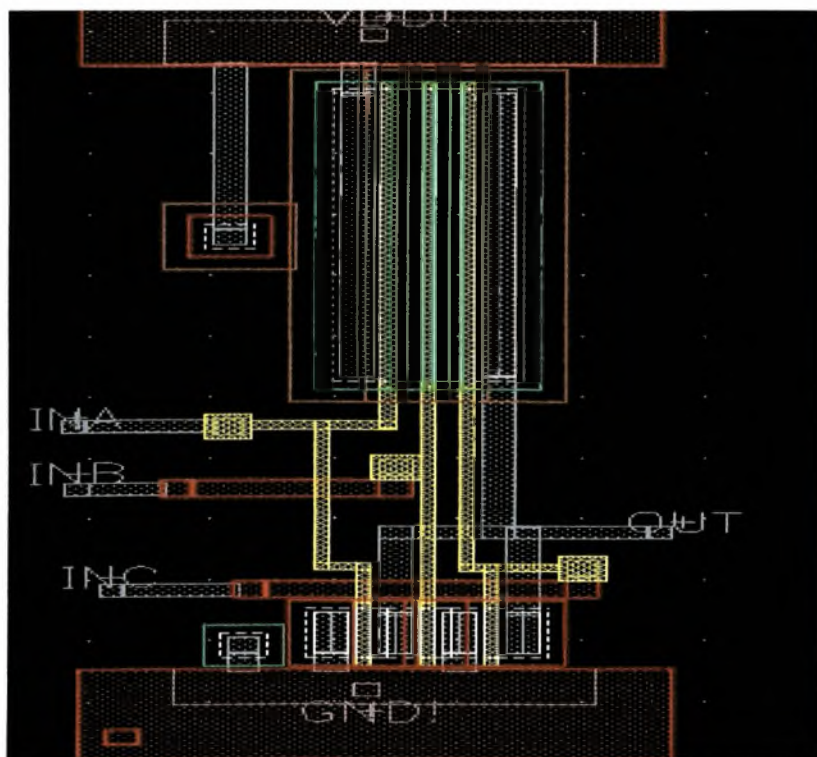
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NOR 3 εισόδων περιλαμβάνει 6 τρανζίστορ, 3 τρανζίστορ Pmos συνδεδεμένα σε σειρά και 3 τρανζίστορ Nmos παράλληλα συνδεδεμένα. Οι πηγές των 3 τρανζίστορ Nmos συνδέονται στην γείωση και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του ενός τρανζίστορ Pmos συνδέεται στη τροφοδοσία και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Pmos, ενώ η υποδοχή του 2ου Pmos συνδέεται στην πηγή του τρίτου σε σειρά τρανζίστορ και τέλος η υποδοχή του τρίτου Pmos στην έξοδο (στο pin εξόδου). Η πύλη καθενός Pmos συνδέεται με την πύλη του κατάλληλου από τα τρία Nmos και στο αντίστοιχο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα τρία συνδεδεμένα σε σειρά Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει τρεις πύλες. Η πηγή του συγχωνευμένου Pmos συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Pmos συνδέεται στην έξοδο (στο pin εξόδου) πάλι με το μέταλλο1 (metal1). Τα τρία παράλληλα συνδεδεμένα Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές και οι πηγές των τρανζίστορ. Οι πηγές του συγχωνευμένου Nmos, συνδέονται στην γείωση, όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Οι υποδοχές των Nmos συνδέονται στην έξοδο (στο pin εξόδου) με τη χρήση του μετάλλου1 (metal1). Με το μέταλλο poly συνδέονται η πύλη καθενός Pmos με την πύλη του κατάλληλου Nmos τρανζίστορ, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Επειδή δεν γίνεται μια επαφή ή το μέταλλο poly να ακουμπήσουν-επικαλύψουν τη σύνδεση δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το άλλο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

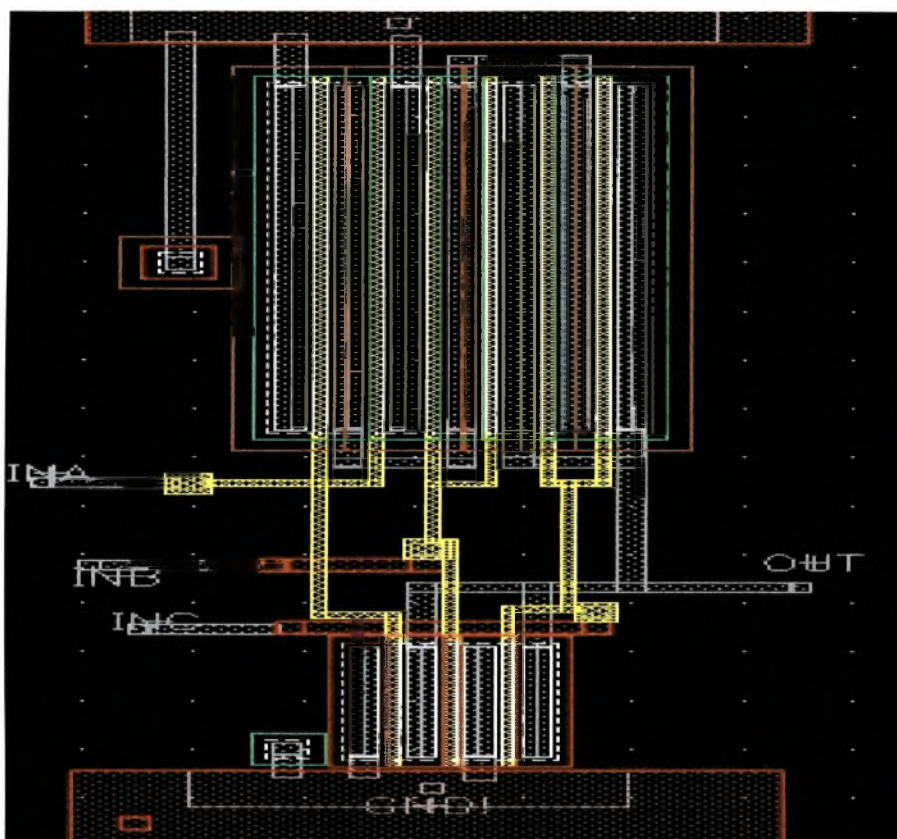
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



ΕΙΚΟΝΑ 38. Πύλη NOR 3 εισόδων με $W_n=400n$ $W_p=2.4u$



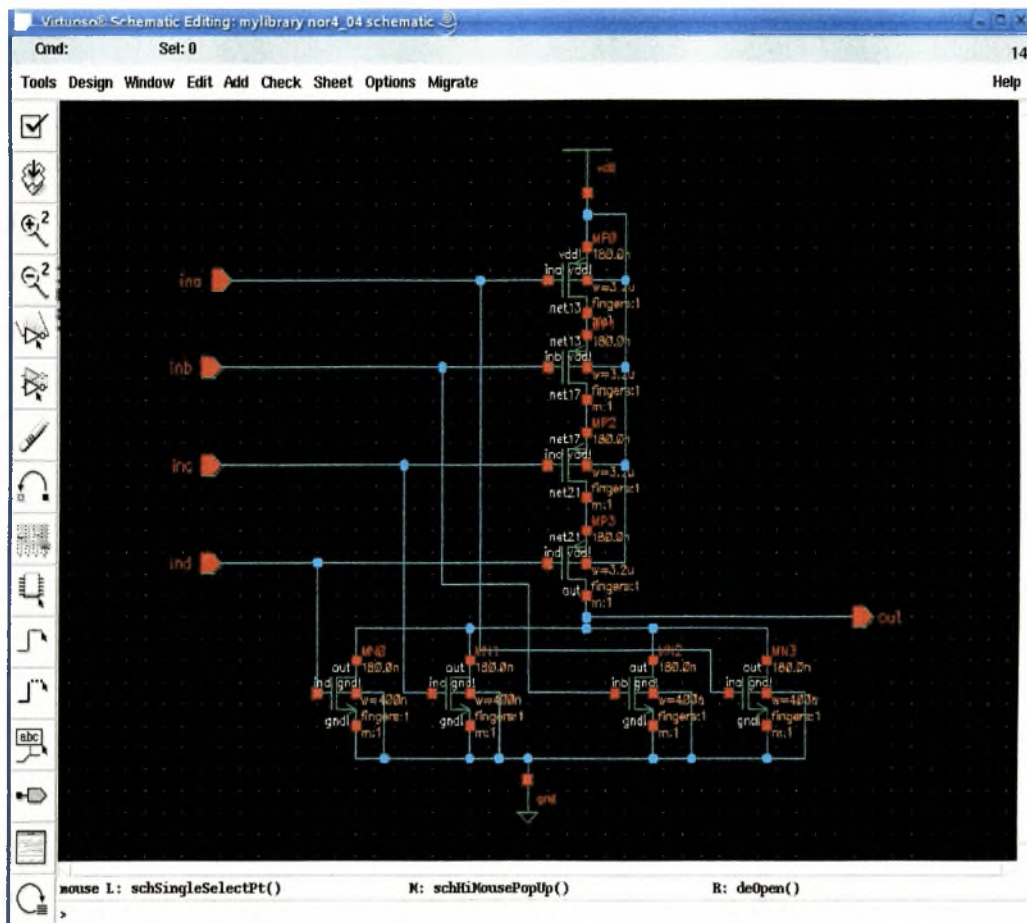
ΕΙΚΟΝΑ 39. Πύλη NOR 3 εισόδων με $W_n=1.2u$ $W_p=7.2u$



ΕΙΚΟΝΑ 40. Πύλη NOR 3 εισόδων με $W_n=3.6u$ $W_p=21.6u$ (fingers =2)

Στο αρχείο Nor3_36 (ΕΙΚΟΝΑ 40), τα πλάτη των τρανζίστορ ξεπερνούν τα 15u, όποτε μεταβάλλεται ο αριθμός των fingers. Τα πλάτη των Pmos είναι ίσα με 21.6u, όποτε ο αριθμός των fingers σε κάθε τρανζίστορ είναι ισος με 2. (Πρακτικά , αφού ο αριθμός των fingers είναι ισος με 2, κάθε ένα από τα 3 Pmos ισοδυναμεί με 2 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές τους σε μία. Οπότε θα μπορούσαμε να πούμε ότι κάθε τρανζίστορ Pmos έχει δύο πηγές και μία υποδοχή). Συνεπώς, αφού τα τρία Pmos ενώνονται, συγχωνεύουν τις υποδοχές τους. Όπως φαίνεται και από την ΕΙΚΟΝΑ 40, στη τροφοδοσία συνδέονται με metall οι πηγές του πρώτου Pmos και στην έξοδο συνδέονται οι υποδοχές του τρίτου Pmos. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα παράλληλα, συγχωνεύονται οι υποδοχές τους. (Οπότε θα μπορούσαμε να πούμε ότι το συγχωνευμένο Nmos αποτελείται από δύο πηγές και δύο υποδοχές.) Στη γείωση συνδέονται με metall οι πηγές του συγχωνευμένου Nmos και στην έξοδο συνδέονται οι υποδοχές του συγχωνευμένου Nmos. Τα υπόλοιπα είναι παρόμοια με αυτά των προαναφερθεισών πυλών.

4.3.7 ΠΥΛΗ NOR 4 ΕΙΣΟΔΩΝ

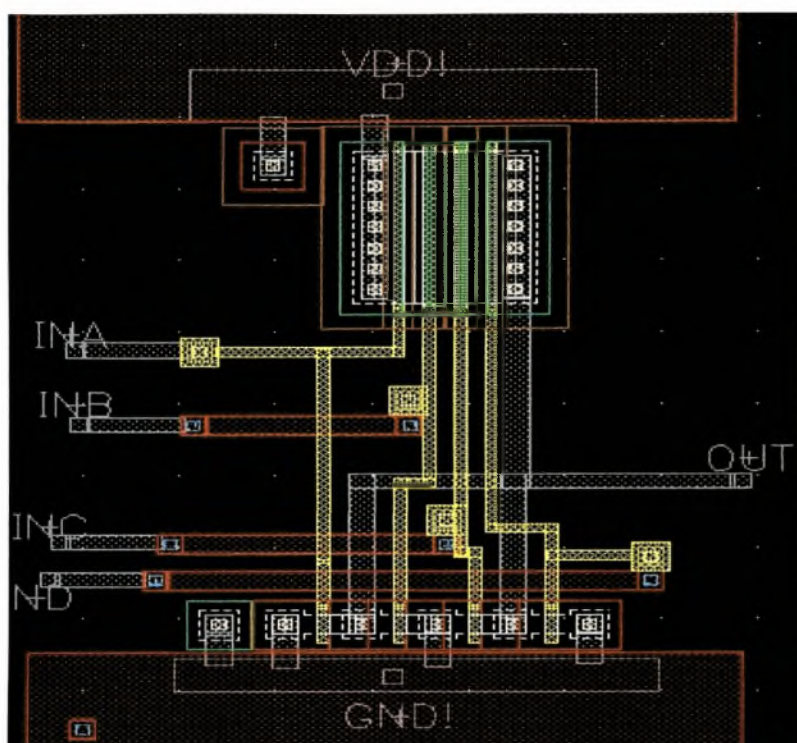


ΕΙΚΟΝΑ41. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ NOR 4 ΕΙΣΟΔΩΝ.

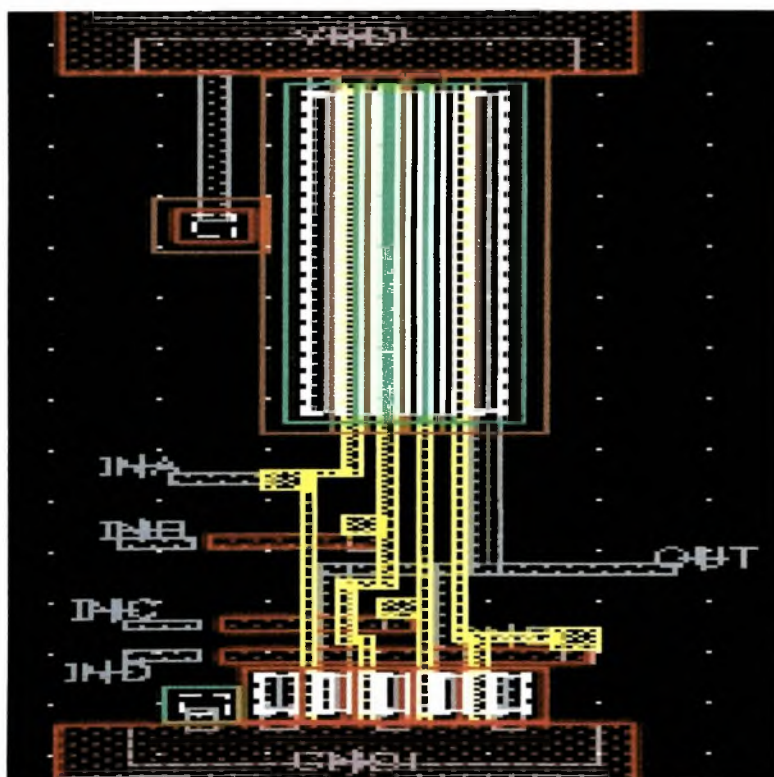
Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη NOR 4 εισόδων περιλαμβάνει 8 τρανζίστορ, 4 τρανζίστορ Pmos συνδεδεμένα σε σειρά και 4 τρανζίστορ Nmos παράλληλα συνδεδεμένα. Οι πηγές των 4 τρανζίστορ Nmos συνδέονται στην γείωση και οι υποδοχές τους συνδέονται στην έξοδο (στο pin εξόδου). Η πηγή του πρώτου τρανζίστορ Pmos συνδέεται στη τροφοδοσία και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Pmos, στη συνέχεια η υποδοχή του 2ου Pmos συνδέεται στην πηγή του τρίτου σε σειρά τρανζίστορ και η υποδοχή του τρίτου Pmos στη πηγή του τέταρτου και τέλος η υποδοχή του τέταρτου Pmos στην έξοδο (στο pin εξόδου). Η πύλη καθενός Pmos συνδέεται με την πύλη του κατάλληλου από τα τέσσερα Nmos και στο αντίστοιχο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα τέσσερα συνδεδεμένα σε σειρά Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει τέσσερις πύλες. Η πηγή του συγχωνευμένου Pmos συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Pmos συνδέεται στην έξοδο (στο pin εξόδου) πάλι με το μέταλλο1 (metal1). Τα τέσσερα παράλληλα συνδεδεμένα Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές και οι πηγές των τρανζίστορ. Οι πηγές του συγχωνευμένου Nmos, συνδέονται στην γείωση, όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Οι υποδοχές των Nmos συνδέονται στην έξοδο (στο pin εξόδου) με τη χρήση του μετάλλου1 (metal1). Με το μέταλλο poly συνδέονται η πύλη καθενός Pmos με την πύλη του κατάλληλου Nmos τρανζίστορ, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Επειδή δεν γίνεται μια επαφή ή το μέταλλο poly να ακουμπήσουν-επικαλύψουν τη σύνδεση δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε, για κάθε επιπλέον ζευγάρι-συνδυασμό πυλών, το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το άλλο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

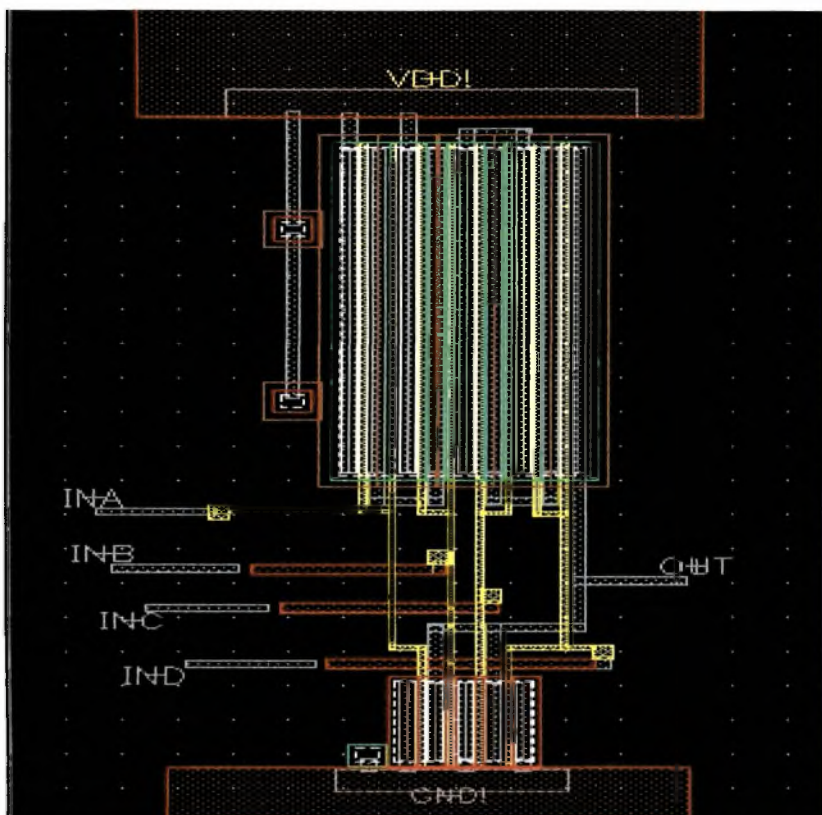
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers.



EIKONA 42. Πύλη NOR 4 με $W_n=400n$ $W_p=3.2u$



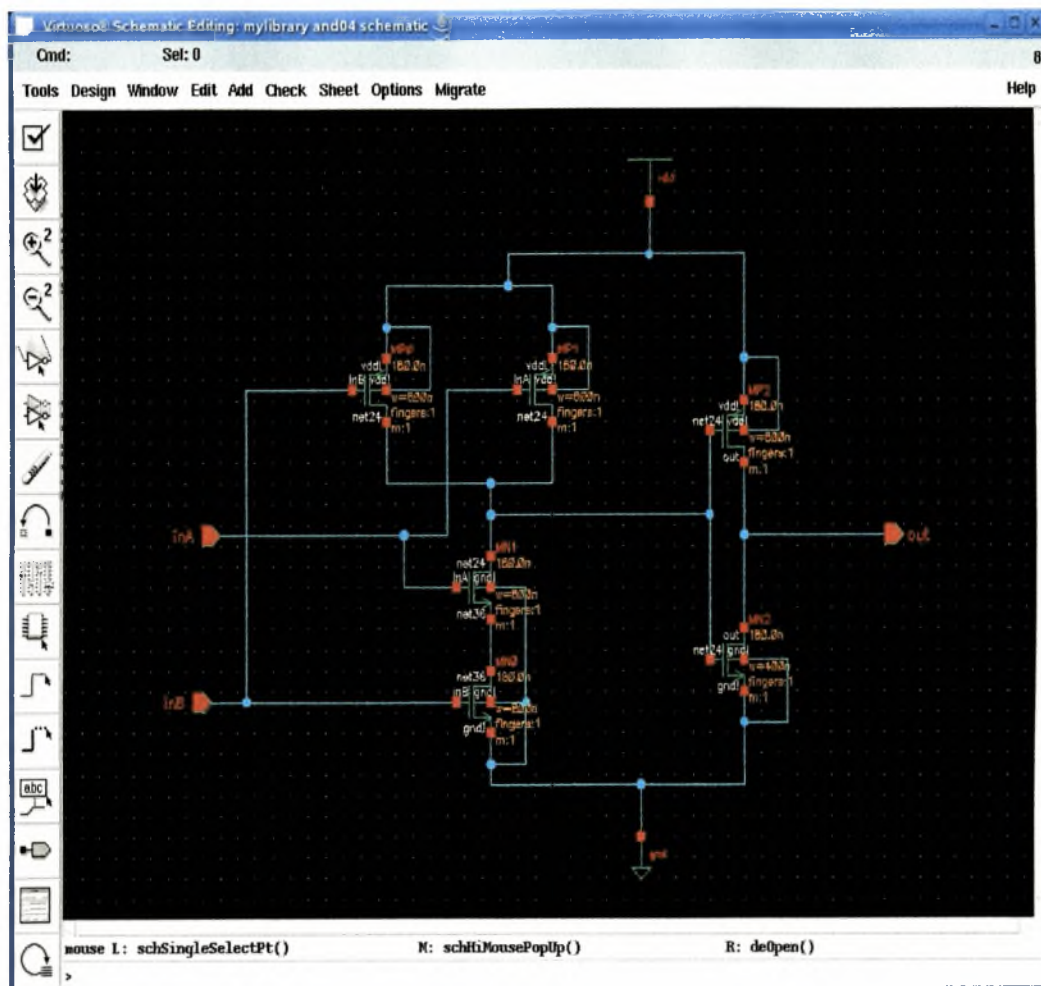
EIKONA 43. Πύλη NOR 4 με $W_n=1.2u$ $W_p=9.6u$



ΕΙΚΟΝΑ 44. Πύλη NOR 4 με $W_n=3.6\mu$ $W_p=28.8\mu$ (fingers =2)

Στο αρχείο Nor4_36 (ΕΙΚΟΝΑ 44), τα πλάτη των τρανζίστορ ξεπερνούν τα 15μ , όποτε μεταβάλλεται και ο αριθμός των fingers. Τα πλάτη των Pmos είναι ίσα με 28.8μ , όποτε και ο αριθμός των fingers σε κάθε τρανζίστορ είναι ίσος με 2. (Πρακτικά, αφού ο αριθμός των fingers είναι ίσος με 2, κάθε ένα από τα 4 Pmos ισοδυναμεί με 2 τρανζίστορ συνδεδεμένα παράλληλα, στα οποία έχουν συγχωνευτεί οι υποδοχές τους σε μία. Οπότε θα μπορούσαμε να πούμε ότι κάθε τρανζίστορ Pmos έχει δύο πηγές και μία υποδοχή). Συνεπώς, αφού τα 4 Pmos ενώνονται, συγχωνεύουν τις υποδοχές τους και τις υποδοχές. Όπως φαίνεται και από την ΕΙΚΟΝΑ 44, στη τροφοδοσία συνδέονται με metall οι πηγές του πρώτου Pmos και στην έξοδο συνδέονται οι υποδοχές του τετάρτου Pmos. Στην περίπτωση των Nmos, τα οποία είναι συνδεδεμένα παράλληλα, συγχωνεύονται οι υποδοχές και οι πηγές τους. (Οπότε θα μπορούσαμε να πούμε ότι το συγχωνευμένο Nmos έχει τρεις πηγές και δύο υποδοχές). Όπως φαίνεται και από την ΕΙΚΟΝΑ 44, στη γείωση συνδέονται με metall οι πηγές του συγχωνευμένου τρανζίστορ Nmos και στην έξοδο συνδέονται οι υποδοχές του συγχωνευμένου Nmos τρανζίστορ. Τα υπόλοιπα είναι παρόμοια με αυτά των προαναφερθεισών πυλών.

4.3.8 ΠΥΛΗ AND 2 ΕΙΣΟΔΩΝ



ΕΙΚΟΝΑ 45. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ AND 2 ΕΙΣΟΔΩΝ.

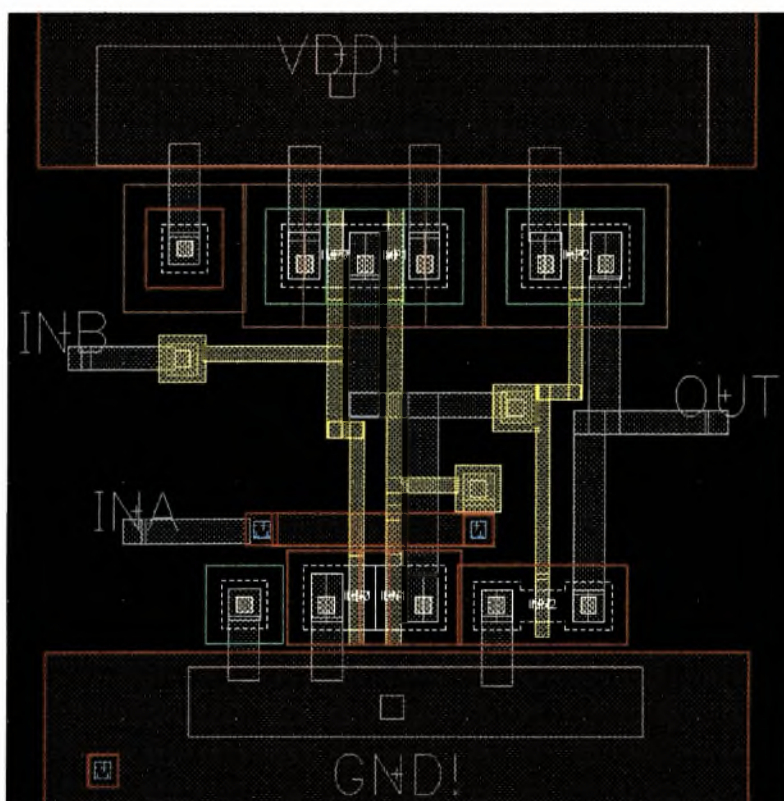
Η πύλη AND υλοποιείται ως συνδυασμός μιας πύλης NAND, η έξοδος της οποίας συνδέεται στην είσοδο της πύλης NOT

Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη AND 2 εισόδων περιλαμβάνει 6 τρανζίστορ, 2 τρανζίστορ Pmos παράλληλα συνδεδεμένα και 2 τρανζίστορ Nmos συνδεδεμένα σε σειρά, η έξοδος των οποίων οδηγεί την είσοδο δύο τρανζίστορ, Pmos και Nmos (που αντιστοιχούν στη πύλη NOT). Οι πηγές των 2 παράλληλων τρανζίστορ Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται και οδηγούν την είσοδο των δύο άλλων τρανζίστορ. Η πηγή του ενός τρανζίστορ Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Nmos, ενώ η υποδοχή του 2ου Nmos οδηγεί την είσοδο των δύο τρανζίστορ (που αντιστοιχούν στη πύλη NOT). Από τα τρανζίστορ (πύλη NOT), η πηγή του Pmos συνδέεται στην τροφοδοσία και η υποδοχή του συνδέεται στην έξοδο της πύλης AND. Η πηγή του Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην έξοδο της πύλης AND. Η πύλη του ενός Pmos (που αντιστοιχούν στη πύλη NAND) συνδέεται με την πύλη του αντίστοιχου Nmos με το ένα pin εισόδου και οι άλλες δυο πύλες συνδέονται με το άλλο pin εισόδου.

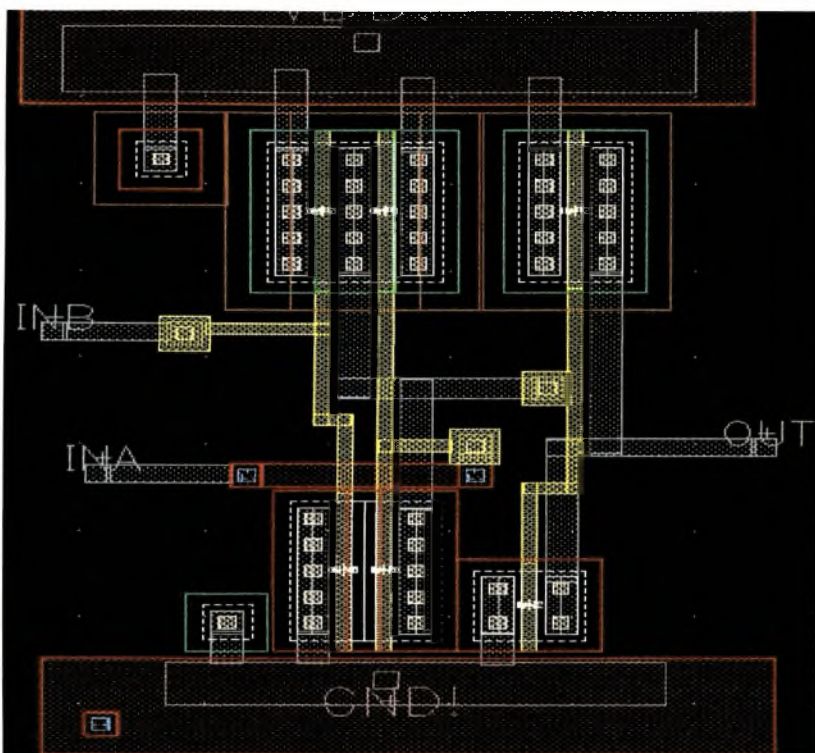
Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο παράλληλα συνδεδεμένα Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές των 2 τρανζίστορ σε μια υποδοχή, η οποία συνδέεται στην είσοδο των τρανζίστορ που οδηγεί, πιο συγκεκριμένα συνδέεται με τη χρήση του μετάλλου1 (metal1) στην κατάλληλη επαφή M1_POLY1, η οποία συνδέεται με το μέταλλο poly στη σύνδεση των πυλών αυτών. Τα δυο συνδεδεμένα σε σειρά Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει δυο πύλες. Η πηγή του συγχωνευμένου Nmos συνδέεται στη γείωση (GND) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) PSUB με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Nmos συνδέεται με την υποδοχή των Pmos και στην είσοδο των τρανζίστορ που οδηγεί, πιο συγκεκριμένα συνδέεται με τη χρήση του μετάλλου1 (metal1) στην κατάλληλη επαφή M1_POLY1, η οποία συνδέεται με το μέταλλο poly στη σύνδεση των πυλών αυτών. Επιπλέον, με το μέταλλο1 συνδέονται οι πηγές των Pmos στην τροφοδοσία(VDD), όπου είναι συνδεδεμένη και η κατάλληλη επαφή NWEEL με το ίδιο μέταλλο. Με το μέταλλο poly συνδέονται η πύλη του ενός Pmos με την πύλη του αντίστοιχου Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Οι άλλες δυο πύλες συνδέονται μεταξύ του με το μέταλλο poly, καθώς και με την κατάλληλη επαφή M1_POLY1. Για να συνδεθεί η επαφή αυτή με το δεύτερο pin εισόδου, και επειδή δεν γίνεται να ακουμπήσει τη σύνδεση των δυο άλλων πυλών,(αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το δεύτερο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Για τα τρανζίστορ,

που ακολουθούν, η πηγή του Pmos συνδέεται στην τροφοδοσία και η υποδοχή του συνδέεται στην έξοδο του κυκλώματος (στο pin εξόδου). Η πηγή του Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται με την υποδοχή του αντίστοιχου Pmos και στην έξοδο. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

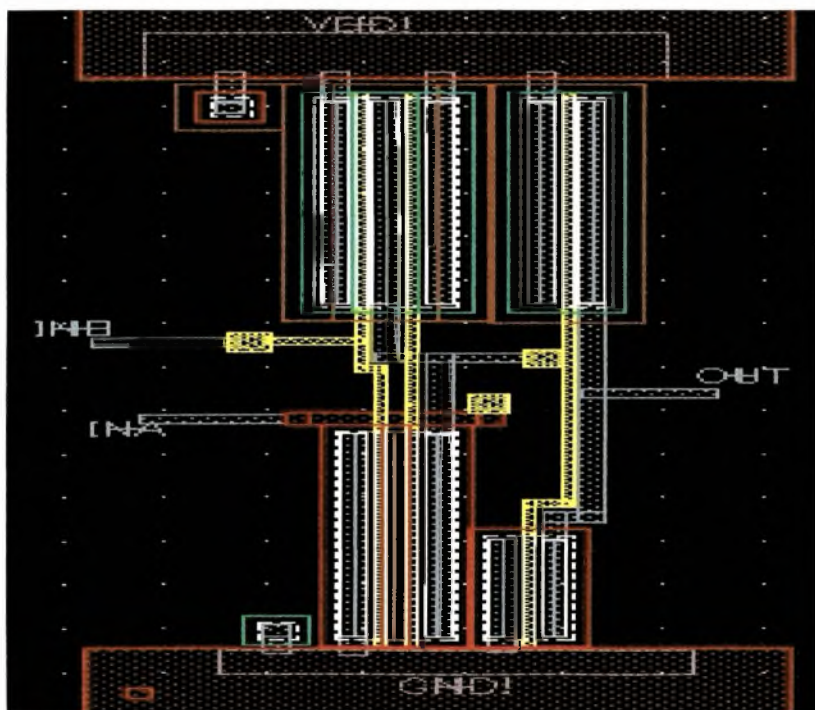
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers και παρουσιάζονται ιδιαίτερο ενδιαφέρον



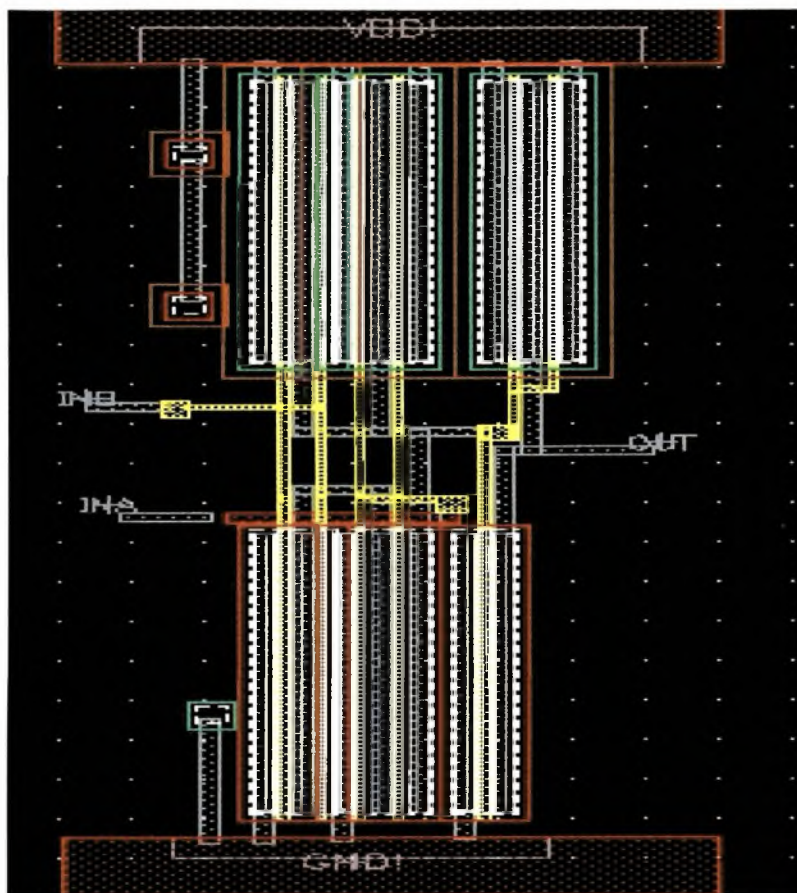
ΕΙΚΟΝΑ 46. Πύλη AND 2 εισόδων με $W_{nA}=W_{pA}=800n$ $W_{nB}=400n$ $W_{pB}=800n$



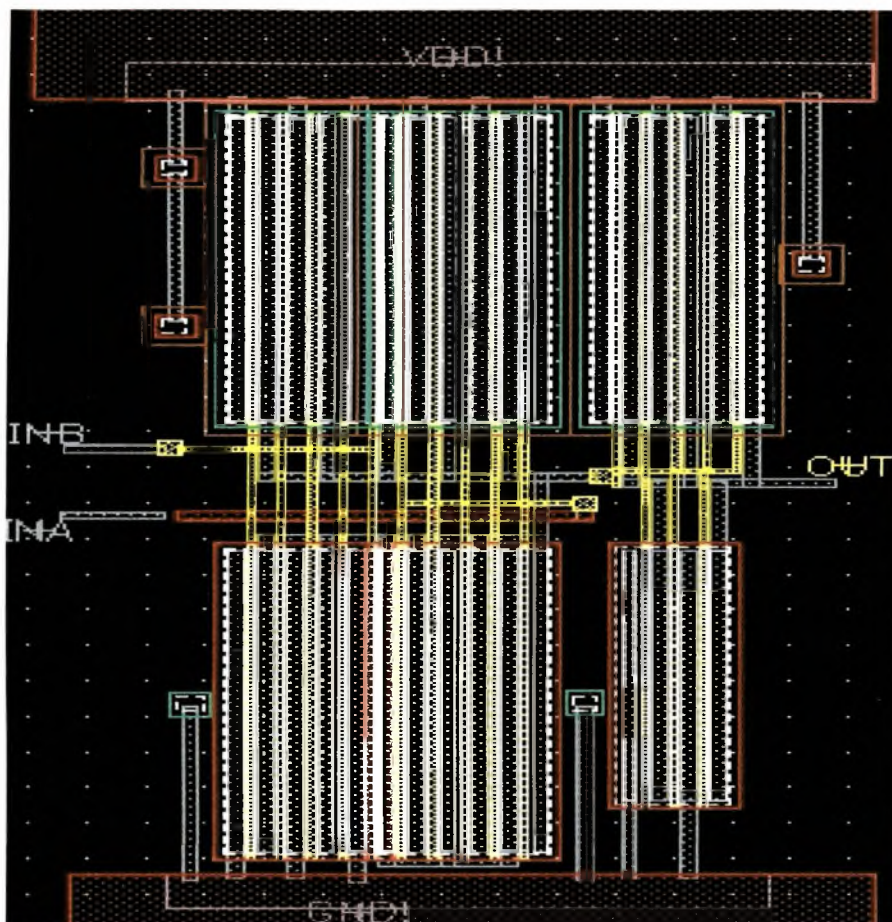
ΕΙΚΟΝΑ 47. Πύλη AND 2 εισόδων με $W_{nA}=W_{pA}=2.4\mu$ $W_{nB}=1.2\mu$ $W_{pB}=2.4\mu$



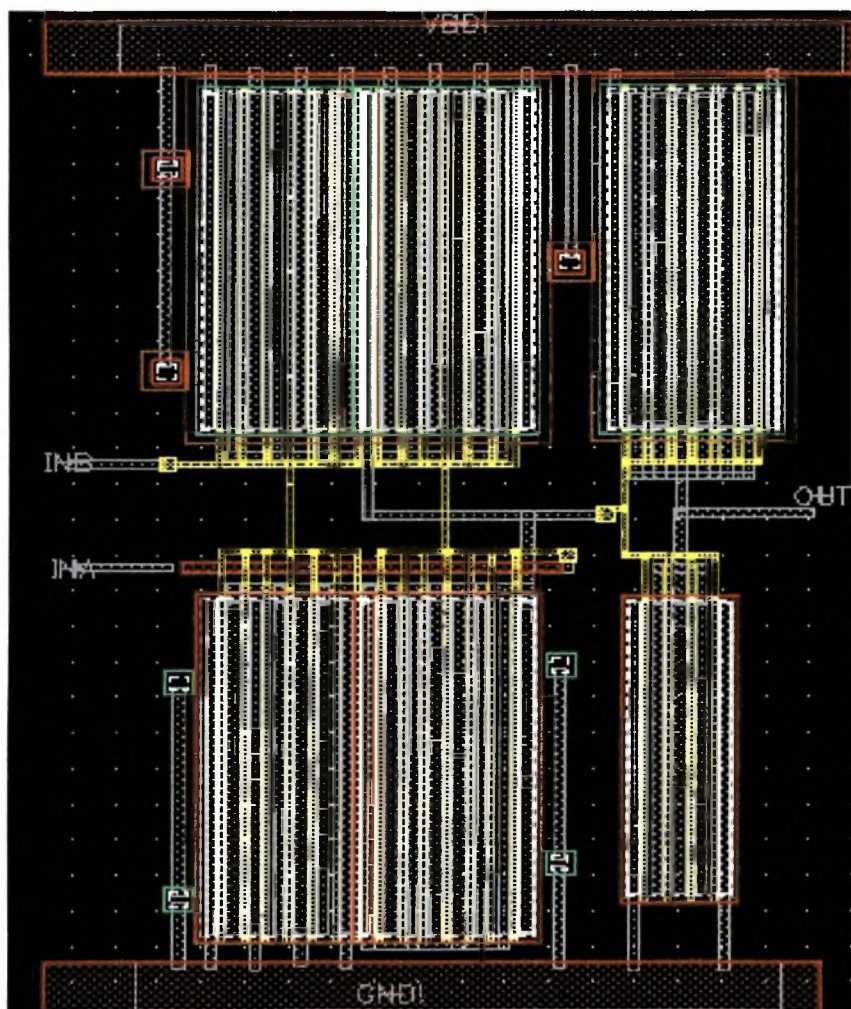
ΕΙΚΟΝΑ 48. Πύλη AND 2 εισόδων με $W_{nA}=W_{pA}=7.2\mu$ $W_{nB}=3.6\mu$ $W_{pB}=7.2\mu$



ΕΙΚΟΝΑ 49. Πύλη AND 2 εισόδων με $W_nA=W_pA=21.6\mu$ (fingers =2) $W_nB=10.8\mu$ $W_pB=21.6\mu$ (fingers =2)



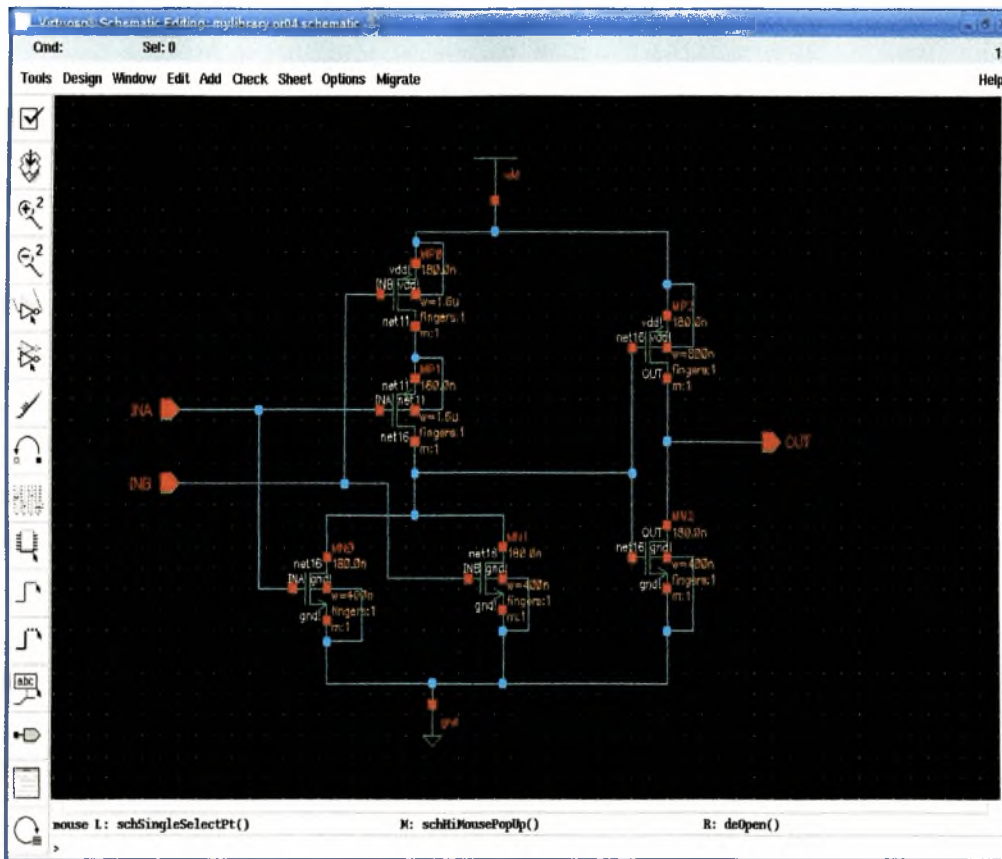
ΕΙΚΟΝΑ 50. Πύλη AND 2 εισόδων με $W_{nA}=W_{pA}=64.8\mu$ (fingers =5) $W_{nB}=32.4\mu$ (fingers=3) $W_{pB}=64.8\mu$ (fingers =5)



ΕΙΚΟΝΑ 51. Πύλη AND 2 εισόδων με $W_{nA}=W_{pA}=100u$ (fingers =7) $W_{nB}=25u$ (fingers=2) $W_{pB}=100 u$ (fingers =7)

Σε όσες από τις παραπάνω υλοποιήσεις ο αριθμός των fingers ξεπερνούσε το 1, η λογική που ακολουθήθηκε είναι παρόμοια με αυτή που αναλύθηκε στις περιπτώσεις των πυλών NAND και NOT, αφού όπως προαναφέραμε η πύλη AND είναι συνδυασμός των πυλών NAND και NOT.

4.3.9 ΠΥΛΗ OR 2 ΕΙΣΟΔΩΝ



ΕΙΚΟΝΑ 52. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ OR 2 ΕΙΣΟΔΩΝ.

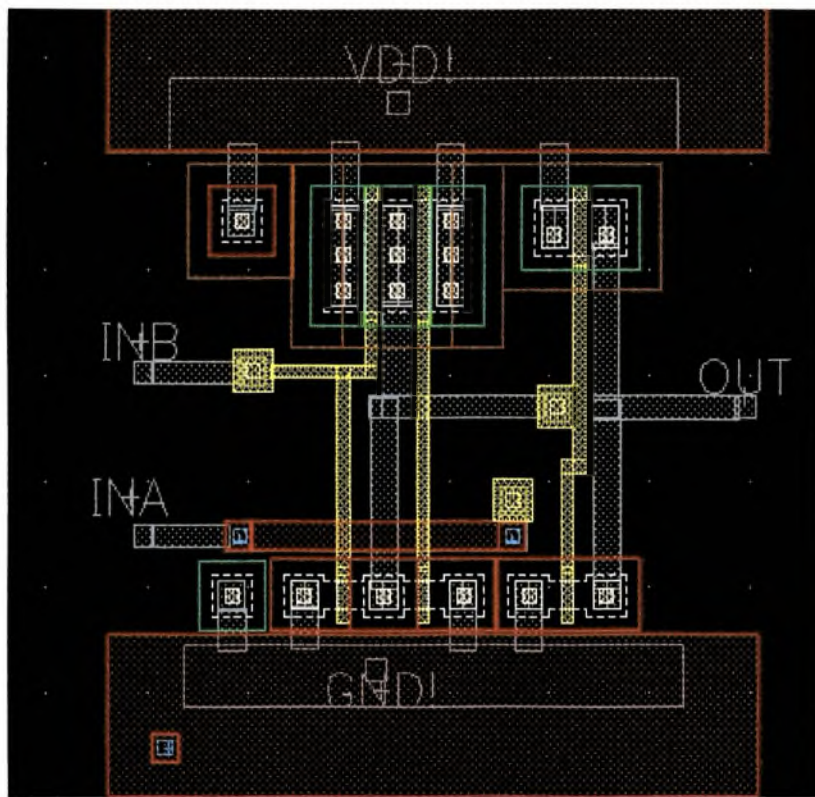
Η πύλη OR υλοποιείται ως συνδυασμός μιας πύλης NOR, η έξοδος της οποίας συνδέεται στην είσοδο της πύλης NOT.

Όπως φαίνεται από την σχηματική αναπαράσταση, η πύλη OR 2 εισόδων περιλαμβάνει 6 τρανζίστορ, από τα οποία τα 4 αντιστοιχούν στην πύλη NOR και τα άλλα 2 αντιστοιχούν στην πύλη NOT. Από τα 4 τρανζίστορ τα 2 Pmos είναι συνδεδεμένα σε σειρά και τα 2 Nmos παράλληλα συνδεδεμένα. Οι πηγές των 2 τρανζίστορ Nmos συνδέονται στην γείωση και οι υποδοχές τους συνδέονται στην είσοδο των τρανζίστορ που οδηγεί(τρανζίστορ πύλης NOT), πιο συγκεκριμένα συνδέονται με τη χρήση του μετάλλου1 (metal1) στην κατάλληλη επαφή M1_POLY1, η οποία συνδέεται με το μέταλλο poly στη σύνδεση των πυλών αυτών. Η πηγή του πρώτου τρανζίστορ Pmos συνδέεται στη τροφοδοσία και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Pmos, ενώ η υποδοχή του 2ου Pmos συνδέεται με την υποδοχή των τρανζίστορ Nmos. Η πύλη του ενός Pmos συνδέεται

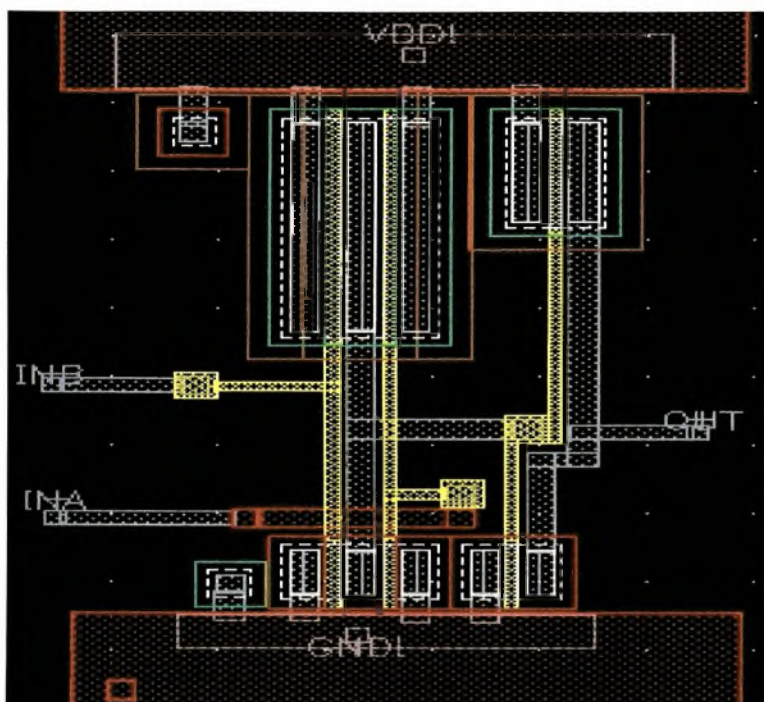
με την πύλη του ενός Nmos με το ένα pin εισόδου και οι άλλες δυο πύλες συνδέονται με το άλλο pin εισόδου. Για τα τρανζίστορ που αντιστοιχούν στη πύλη NOT, το Pmos συνδέεται στη τροφοδοσία και στην έξοδο και το Nmos συνδέεται στη γείωση και στην έξοδο. Η είσοδος τους καθοδηγείται από την έξοδο των άλλων τεσσάρων τρανζίστορ.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο συνδεδεμένα σε σειρά Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει δυο πύλες. Η πηγή του συγχωνευμένου Pmos συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο, ενώ η υποδοχή του συγχωνευμένου Pmos συνδέεται στην είσοδο των τρανζίστορ που καθοδηγούν, πάλι με το μέταλλο1 (metal1). Τα δυο παράλληλα συνδεδεμένα Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές των 2 τρανζίστορ σε μια υποδοχή, η οποία συνδέεται στην είσοδο των τρανζίστορ που οδηγεί (τρανζίστορ πύλης NOT), πιο συγκεκριμένα συνδέεται με τη χρήση του μετάλλου1 (metal1) στην κατάλληλη επαφή M1_POLY1. Οι πηγές των δυο Nmos συνδέονται στη γείωση όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Με το μέταλλο poly συνδέονται η πύλη του ενός Pmos με την πύλη του αντίστοιχου Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Οι άλλες δυο πύλες συνδέονται μεταξύ του με το μέταλλο poly, καθώς και με την κατάλληλη επαφή M1_POLY1. Για να συνδεθεί η επαφή αυτή με το δεύτερο pin εισόδου, και επειδή δεν γίνεται να ακουμπήσει τη σύνδεση των δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε το δεύτερο pin εισόδου συνδέεται στην επαφή M2_M1 με το μέταλλο metal1. Για τα τρανζίστορ, που ακολουθούν, η πηγή του Pmos συνδέεται στην τροφοδοσία και η υποδοχή του συνδέεται στην έξοδο του κυκλώματος (στο pin εξόδου). Η πηγή του Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται με την υποδοχή του αντίστοιχου Pmos και στην έξοδο του κυκλώματος (στο pin εξόδου). Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

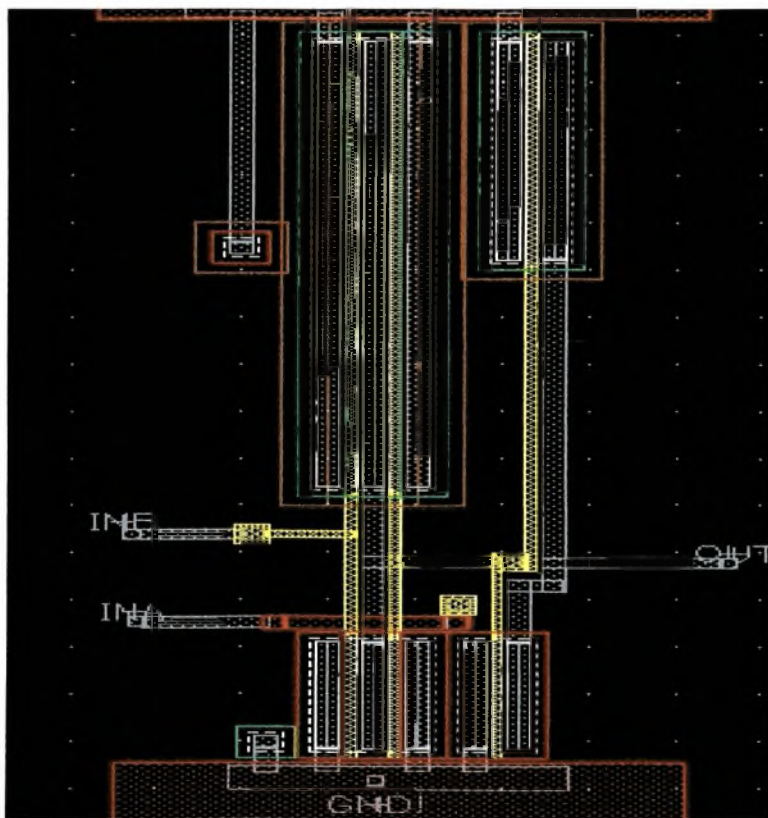
Ακολουθούν οι φυσικές αναπαραστάσεις υλοποιήσεων αυτής της πύλης. Στις υλοποιήσεις, παρουσιάζονται διαφορές (σε σχέση με τη παραπάνω γενική περιγραφή) καθώς το πλάτος των τρανζίστορ αυξάνεται και άρα και ο αριθμός των fingers και παρουσιάζονται ιδιαίτερο ενδιαφέρον



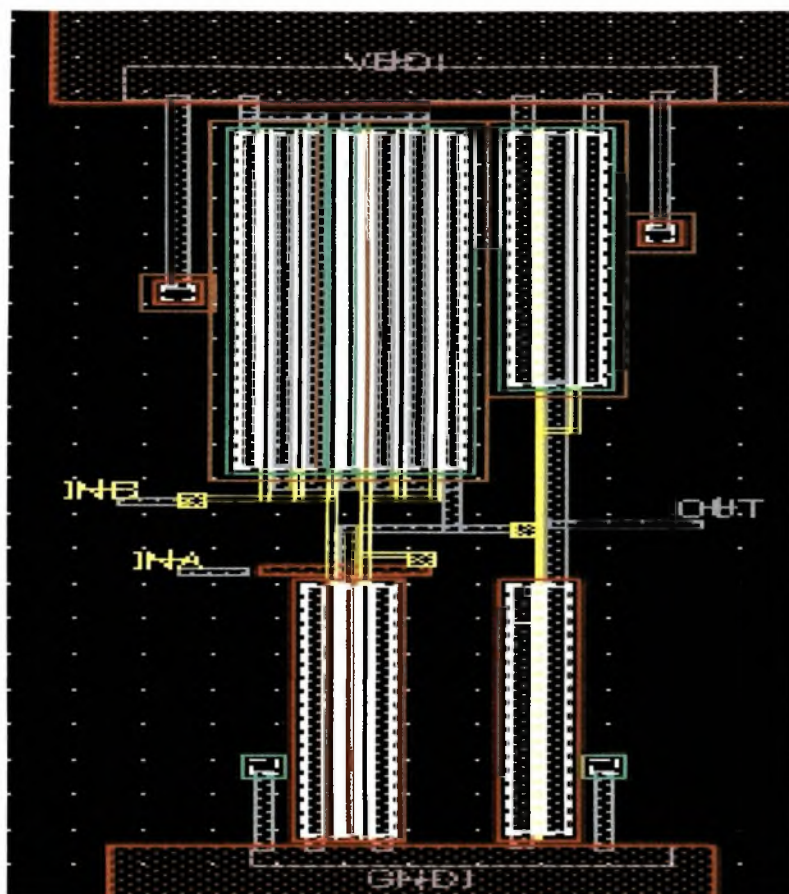
ΕΙΚΟΝΑ 53. Πύλη OR με $W_pA=1.6\mu$ $W_nA=400n$ $W_pC=800n$ $W_nC=400n$



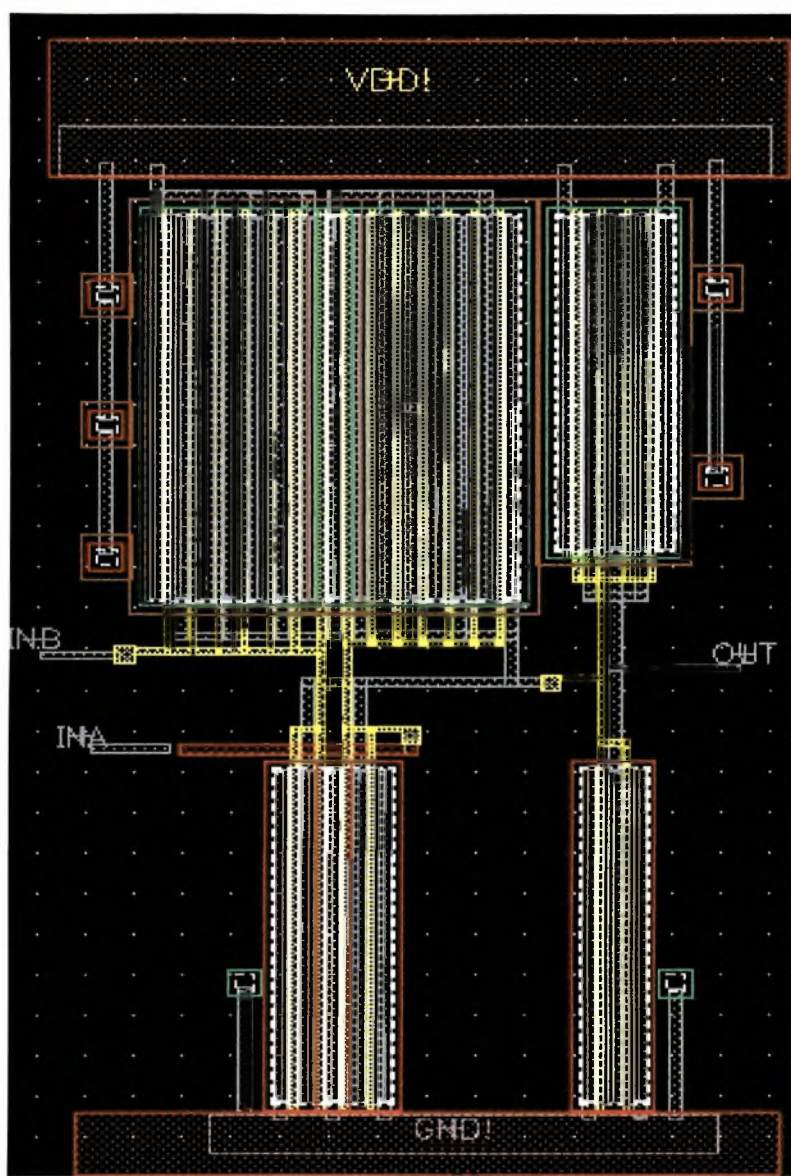
ΕΙΚΟΝΑ 54. Πύλη OR με $W_pA=4.8u$ $W_nA=1.2u$ $W_pC=2.4u$ $W_nC=1.2u$



ΕΙΚΟΝΑ 55. Πύλη OR με $W_pA=14.4u$ $W_nA=3.6u$ $W_pC=7.2u$ $W_nC=.6u$

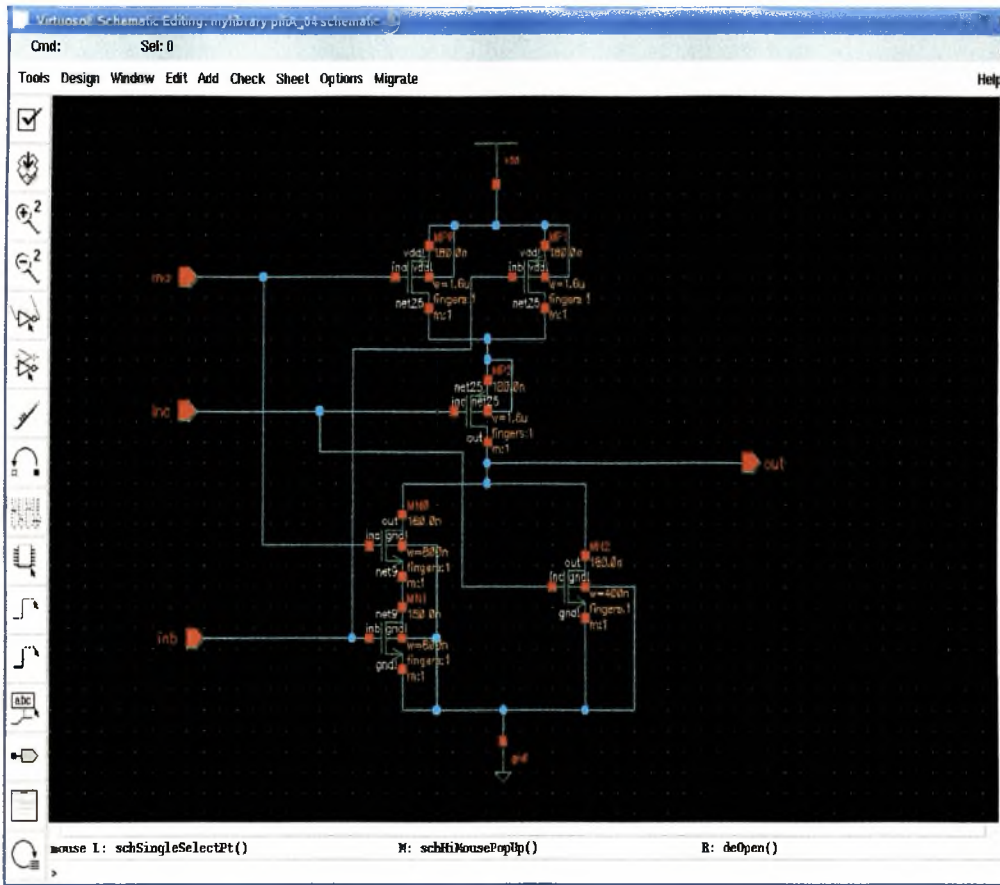


ΕΙΚΟΝΑ 56. Πύλη OR με $W_pA=43.2\mu$ (fingers =3) $W_nA=10.8\mu$ $W_pC=21.6\mu$ (fingers =2) $W_nC=10.8\mu$



ΕΙΚΟΝΑ 57. Πύλη OR με $WpA=100u$ (fingers =7) $WnA=25u$ (fingers =2)
 $WpC=50u$ (fingers =4) $WnC=25u$ (fingers=2)

4.3.10 ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(AB+C)$

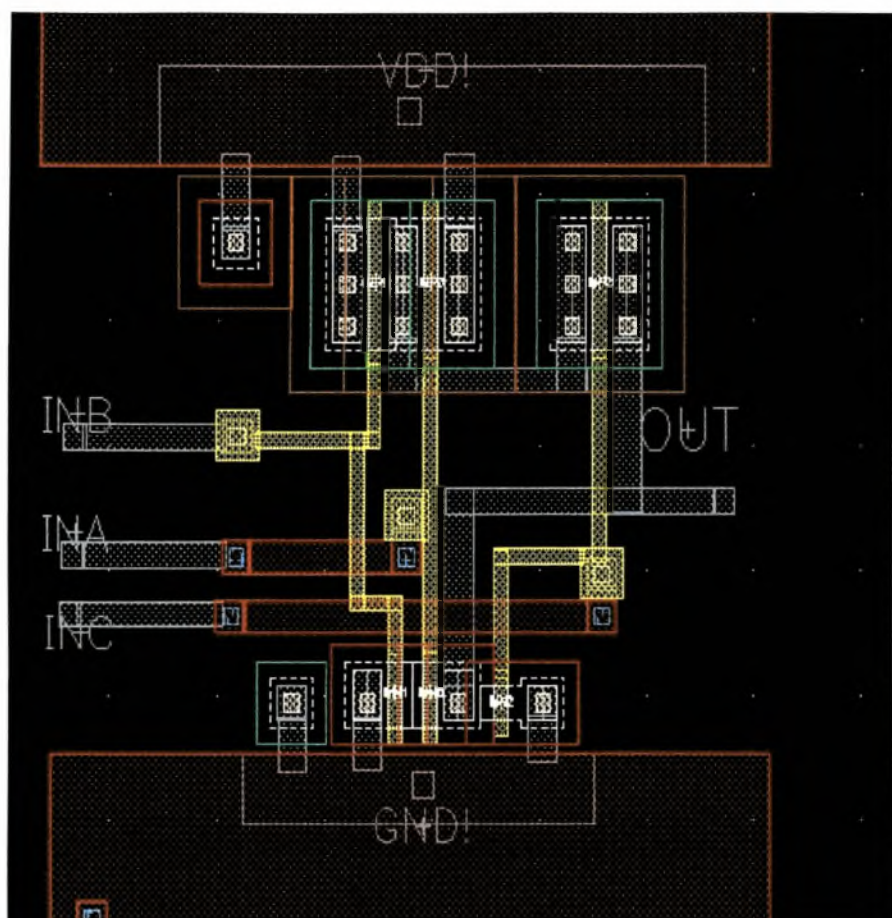


ΕΙΚΟΝΑ 58. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ $\neg(AB+C)$.

Όπως φαίνεται από την σχηματική αναπαράσταση, η συμπληρωματική πύλη $\neg(AB+C)$ περιλαμβάνει 6 τρανζίστορ, 3 Pmos και 3 Nmos. Από τα Pmos, τα 2 είναι συνδεδεμένα παράλληλα και η έξοδος οδηγεί το τρίτο Pmos. Οι πηγές των 2 παράλληλων Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται στην πηγή του τρίτου τρανζίστορ, το οποίο με τη σειρά του συνδέεται στην έξοδο της πύλης. Από τα Nmos, τα 2 είναι συνδεδεμένα σε σειρά και μαζί και τα δυο παράλληλα με το τρίτο Nmos. Η πηγή του πρώτου, από τα 2 σε σειρά, τρανζίστορ Nmos συνδέεται στη γείωση και η υποδοχή του συνδέεται στην πηγή του 2ου τρανζίστορ Nmos, ενώ η υποδοχή του 2ου Nmos συνδέεται στην έξοδο. Το τρίτο τρανζίστορ Nmos συνδέεται στην έξοδο (υποδοχή) και στη γείωση (πηγή). Η πύλη καθενός Pmos συνδέεται με την πύλη του κατάλληλου Nmos με το αντίστοιχο pin εισόδου.

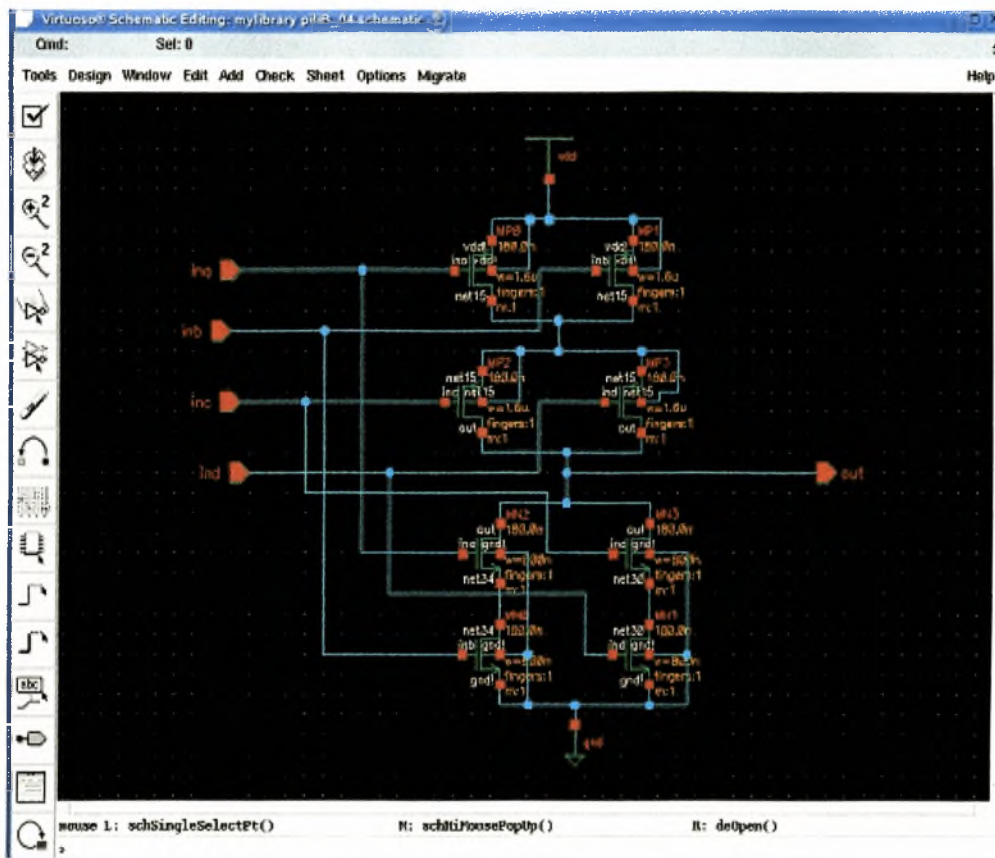
Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο παράλληλα συνδεδεμένα Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές τους σε μία. Οι πηγές του συγχωνευμένου Pmos συνδέονται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο, ενώ η υποδοχή του συνδέεται στην πηγή του τρίτου τρανζίστορ (το οποίο οδηγεί) πάλι με το μέταλλο1 (metal1). Η υποδοχή του τρανζίστορ αυτού συνδέεται στην έξοδο (pin εξόδου) με το μέταλλο 1. Τα δυο σε σειρά συνδεδεμένα Nmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται σε ένα τρανζίστορ, το οποίο έχει δύο πύλες και η υποδοχή του συνδέεται στην έξοδο, ενώ η πηγή του συγχωνευμένου Nmos συνδέεται στη γείωση όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Το τρίτο τρανζίστορ Nmos, το οποίο είναι παράλληλο με αυτά τα δυο, ενώνεται μαζί τους, συγκεκριμένα ενώνονται οι υποδοχές τους σε μια υποδοχή, η οποία συνδέεται στην έξοδο. Με το μέταλλο poly συνδέονται η πύλη καθενός Pmos με την πύλη του αντίστοιχου Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Για να συνδεθεί η επαφή αυτή με το δεύτερο pin εισόδου, και επειδή δεν γίνεται να ακουμπήσει τη σύνδεση των δυο άλλων πυλών, (αν συμβεί αυτό, θα βραχυκυκλωθούν) χρησιμοποιούμε το μέταλλο metal2 και 2 επιπλέον επαφές M2_M1. Η επαφή M1_POLY1 συνδέεται με το μέταλλο metal1 με την μια επαφή M2_M1, αυτή μέσω του μετάλλου metal2, το οποίο καλύπτει τη σύνδεση των δυο άλλων πυλών, συνδέεται με την δεύτερη επαφή M2_M1. Όποτε τα άλλα pin εισόδου συνδέονται στην κατάλληλη επαφή M2_M1 με το μέταλλο metal1. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

Ακολουθεί η φυσική αναπαράσταση μιας υλοποίησης αυτής της πύλης, αφού και στις υπόλοιπες που πραγματοποιήσαμε, δεν παρουσιάζονται διαφορές, παρά μόνο η αύξηση του πλάτους των τρανζίστορ. (Συγκεκριμένα στις υλοποιήσεις αυτές το πλάτος των τρανζίστορ δεν ξεπερνάει τα 15u, οπότε και δεν μεταβάλλεται ο αριθμός των fingers και κατά συνέπεια η διαδικασία που ακολουθήθηκε στη σχεδίαση περιγράφεται παραπάνω.)



ΕΙΚΟΝΑ 59. ΠΥΛΗ $\neg(AB+C)$.

4.3.11 ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(AB+CD)$

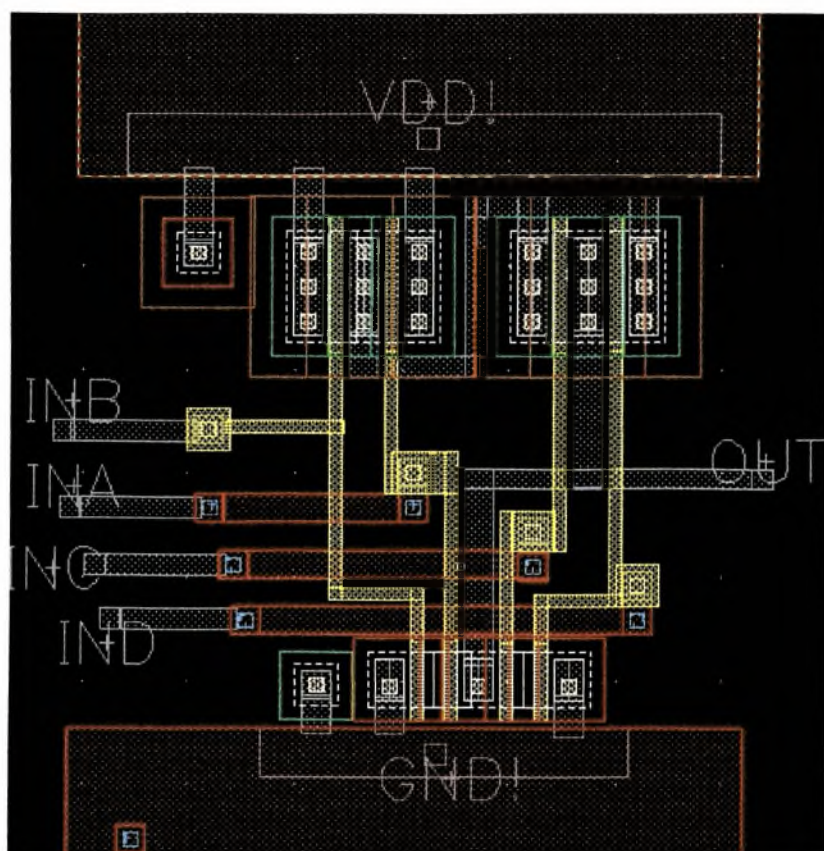


ΕΙΚΟΝΑ 60. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ $\neg(AB+CD)$

Όπως φαίνεται από την σχηματική αναπαράσταση, η συμπληρωματική πύλη $\neg(AB+C)$ περιλαμβάνει 8 τρανζίστορ, 4 Pmos και 4 Nmos. Τα Pmos είναι ανά δύο συνδεδεμένα παράλληλα και μεταξύ τους σε σειρά. Οι πηγές των 2 πρώτων παράλληλων Pmos συνδέονται στην τροφοδοσία και οι υποδοχές τους συνδέονται στις πηγές των άλλων δύο παράλληλων Pmos, οι υποδοχές των οποίων συνδέονται στην έξοδο της πύλης. Τα Nmos είναι ανά δύο συνδεδεμένα σε σειρά και μεταξύ τους παράλληλα. Η πηγή του πρώτου, από αυτά που βρίσκονται σε σειρά, συνδέεται γείωση και η υποδοχή του στη πηγή του τρανζίστορ(με το οποίο είναι συνδεδεμένο). Το ίδιο ακριβώς ισχύει και για τα άλλα δυο τρανζίστορ που είναι σε σειρά. Οπότε οι πηγές των δύο τρανζίστορ συνδέονται στη γείωση και οι υποδοχές των δυο άλλων τρανζίστορ συνδέονται στην έξοδο. Η πύλη καθενός Pmos συνδέεται με την πύλη του κατάλληλου Nmos με το αντίστοιχο pin εισόδου.

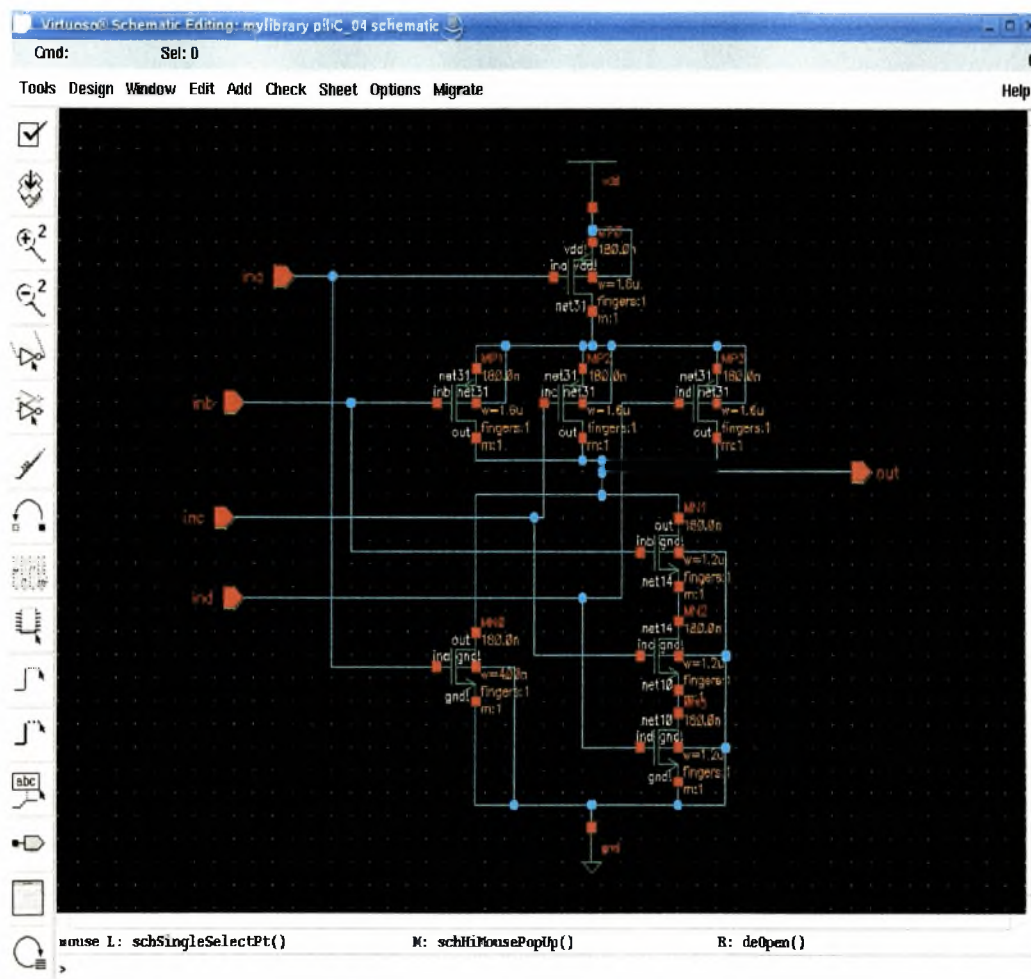
Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα δυο παράλληλα συνδεδεμένα Pmos τρανζίστορ, ενώνονται και συγκεκριμένα συγχωνεύονται οι υποδοχές τους σε μία. Οπότε έχουμε 2 συγχωνευμένα Pmos, από τα οποία το ένα καθοδηγεί το άλλο. Η πηγή του πρώτου συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWELL με το ίδιο μέταλλο. Ενώ η υποδοχή του συνδέεται στη πηγή του άλλου συγχωνευμένου τρανζίστορ (το οποίο οδηγεί) πάλι με το μέταλλο1 (metal1) και η υποδοχή του δευτέρου συνδέεται στην έξοδο με το μέταλλο1. Όσον αφορά τα τρανζίστορ Nmos, τα δυο που είναι σε σειρά συγχωνεύονται σε ένα τρανζίστορ με δύο πύλες. Οπότε έχουμε 2 συγχωνευμένα τρανζίστορ (το καθένα με δύο πύλες) παράλληλα συνδεδεμένα, το οποίο σημαίνει ότι επιπλέον συγχωνεύουν τις υποδοχές τους. Οπότε και στην έξοδο της πύλης (στο pin εξόδου συνδέεται η συγχωνευμένη υποδοχή και οι πηγές του συνδέονται στη γείωση, όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Με το μέταλλο poly συνδέονται η πύλη καθενός Pmos με την πύλη του αντίστοιχου Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Για την κατάλληλη σύνδεση των πυλών και των αντίστοιχων επαφών ακολουθείται η διαδικασία, που έχει αναφερθεί στις προηγούμενες περιγραφές. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

Ακολουθεί η φυσική αναπαράσταση μιας υλοποίησης αυτής της πύλης, αφού και στις υπόλοιπες που πραγματοποιήσαμε, δεν παρουσιάζονται διαφορές, παρά μόνο η αύξηση του πλάτους των τρανζίστορ. (Συγκεκριμένα στις υλοποιήσεις αυτές το πλάτος των τρανζίστορ δεν ξεπερνάει τα 15u, οπότε και δεν μεταβάλλεται ο αριθμός των fingers και κατά συνέπεια η διαδικασία που ακολουθήθηκε στη σχεδίαση περιγράφεται παραπάνω.)



ΕΙΚΟΝΑ 61. ΠΥΛΗ $\neg(AB+CD)$.

4.3.12 ΣΥΜΠΛΗΡΩΜΑΤΙΚΗ ΠΥΛΗ $\neg(A+B\bar{C}D)$

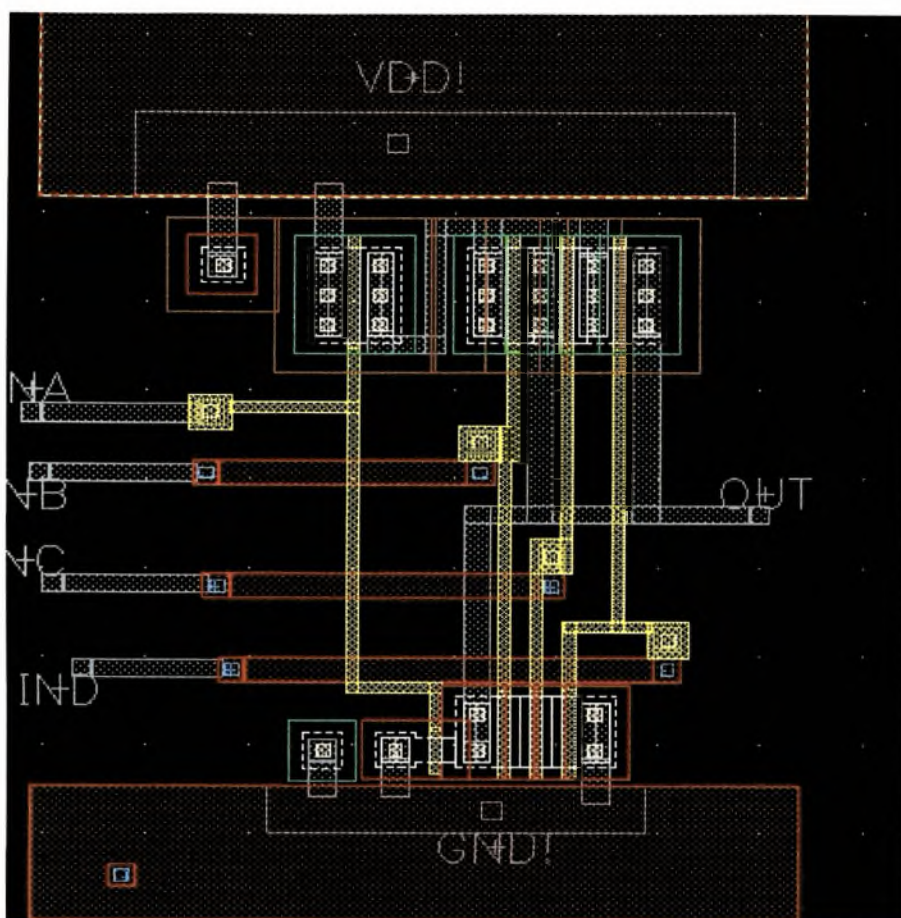


ΕΙΚΟΝΑ 62. ΣΧΗΜΑΤΙΚΗ ΑΝΑΠΑΡΑΣΤΑΣΗ ΤΗΣ ΠΥΛΗΣ $\neg(A+B\bar{C}D)$

Όπως φαίνεται από την σχηματική αναπαράσταση, η συμπληρωματική πύλη $\neg(A+B\bar{C}D)$ περιλαμβάνει 8 τρανζίστορ, 4 Pmos και 4 Nmos. Από τα Pmos, το ένα τρανζίστορ συνδέεται σε σειρά με τα άλλα τρία, τα οποία είναι συνδεδεμένα παράλληλα μεταξύ τους. Η πηγή του πρώτου τρανζίστορ συνδέεται στην τροφοδοσία και η υποδοχή του συνδέεται στις πηγές των τριών παράλληλων Pmos, οι υποδοχές των οποίων συνδέονται στην έξοδο της πύλης. Από τα Nmos, το ένα τρανζίστορ συνδέεται παράλληλα με τα άλλα τρία τρανζίστορ, τα οποία είναι συνδεδεμένα σε σειρά. Το πρώτο, από τα τρία εν σειρά τρανζίστορ, συνδέεται στη γείωση και η υποδοχή του στη πηγή του επόμενου τρανζίστορ. Με τη σειρά του, το δεύτερο τρανζίστορ συνδέει τη υποδοχή του στη πηγή του τρίτου τρανζίστορ, και τέλος αυτό συνδέεται στην έξοδο. Το τρανζίστορ που είναι παράλληλο στα τρία προαναφερθείσα συνδέεται στη γείωση και στην έξοδο. Η πύλη καθενός Pmos συνδέεται με την πύλη του κατάλληλου Nmos με το αντίστοιχο pin εισόδου.

Στη φυσική αναπαράσταση (layout), εφαρμόζονται αυτές οι συνδέσεις μέσω των κατάλληλων επιπέδων μετάλλων από το LSW. Τα τρία παράλληλα συνδεδεμένα Pmos τρανζίστορ, ενώνονται και συγχωνεύονται εναλλάξ πρώτα οι υποδοχές τους και οι πηγές τους. (Θα μπορούσαμε να πούμε ότι το συγχωνευμένο τρανζίστορ έχει δύο πηγές και δύο υποδοχές). Η πηγή του πρώτου Pmos συνδέεται στη τροφοδοσία (VDD) πάλι με το metal1, όπου υπάρχει συνδεδεμένη και η κατάλληλη επαφή (contact) NWEEL με το ίδιο μέταλλο. Ενώ η υποδοχή του συνδέεται στις πηγές του συγχωνευμένου τρανζίστορ (αυτό που αντιστοιχεί στα τρία παράλληλα) πάλι με το μέταλλο1 (metal1). Όσον αφορά τα τρανζίστορ Nmos, τα τρία που είναι σε σειρά συγχωνεύονται σε ένα τρανζίστορ με τρεις πύλες. Οπότε έχουμε 1 συγχωνευμένο τρανζίστορ (με τρεις πύλες) παράλληλα συνδεδεμένο με ένα ακόμα τρανζίστορ. Αυτό σημαίνει πως τα δύο τρανζίστορ(το ένα Nmos και το άλλο συγχωνευμένο Nmos) ενώνονται και μάλιστα συγχωνεύονται τις υποδοχές τους σε μια. Οπότε και στην έξοδο της πύλης (στο pin εξόδου) συνδέεται η συγχωνευμένη υποδοχή με το μέταλλο 1 και οι πηγές του συνδέονται στη γείωση, όπου είναι συνδεδεμένη και η κατάλληλη επαφή PSUB με το μέταλλο1. Με το μέταλλο poly συνδέονται η πύλη καθενός Pmos με την πύλη του αντίστοιχου Nmos τρανζίστορ μεταξύ τους, καθώς και με την κατάλληλη επαφή M1_POLY1, ενώ το αντίστοιχο pin εισόδου συνδέεται μέσω του metal1 με την επαφή M1_POLY1. Για την κατάλληλη σύνδεση των πυλών και των αντίστοιχων επαφών ακολουθείται η διαδικασία, που έχει αναφερθεί στις προηγούμενες περιγραφές. Τέλος στη γείωση και τη τροφοδοσία, δημιουργούμε, με το μέταλλο 2 (metal2) και την αντίστοιχη επαφή M2_M1 το κατάλληλο έδαφος, ώστε να είναι εφικτή η διασύνδεση των επιμέρους κομματιών-υλοποιήσεων σε πιο πολύπλοκα σχέδια.

Ακολουθεί η φυσική αναπαράσταση μιας υλοποίησης αυτής της πύλης, αφού και στις υπόλοιπες που πραγματοποιήσαμε, δεν παρουσιάζονται διαφορές, παρά μόνο η αύξηση του πλάτους των τρανζίστορ.(Συγκεκριμένα στις υλοποιήσεις αυτές το πλάτος των τρανζίστορ δεν ξεπερνάει τα 15u, οπότε και δεν μεταβάλλεται ο αριθμός των fingers και κατά συνέπεια η διαδικασία που ακολουθήθηκε στη σχεδίαση περιγράφεται παραπάνω.)



ΕΙΚΟΝΑ 63. ΠΥΛΗ $\neg(A+B\cdot C\cdot D)$

4.4 ΕΛΕΓΧΟΙ ΕΠΑΛΗΘΕΥΣΗΣ

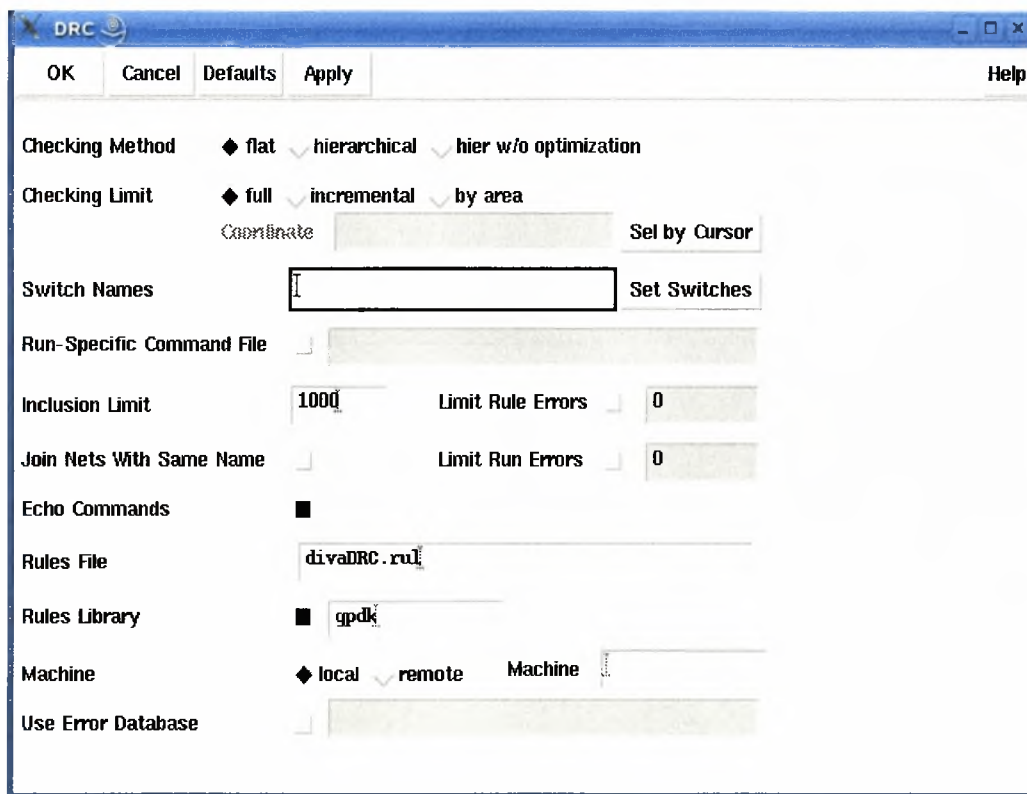
Όπως αναφέρθηκε και σε προηγούμενη παράγραφο, δυο είναι οι έλεγχοι που πραγματοποιούνται για την επαλήθευση της ορθότητας των σχεδιαστικών κομματιών (cells) που υλοποιούμε, χρησιμοποιώντας το εργαλείο cadence :

1) ο έλεγχος **DRC (Design Rule Checker)**, με τον οποίο ελέγχεται η ικανοποίηση-παραβίαση των στοιχειωδών κανόνων σχεδίασης. Οι κανόνες αυτοί περιλαμβάνουν, εκτός των άλλων, τη ελάχιστη δυνατή απόσταση μεταξύ διαφορετικών μετάλλων, την ελάχιστη δυνατή απόσταση μεταξύ του ίδιου μετάλλου, το ελάχιστο δυνατό μέγεθος (πλάτος-μήκος) κάθε επαφής. Ο έλεγχος μπορεί να πραγματοποιείται πολλές φορές κατά τη διάρκεια σχεδίασης-υλοποίησης του cell, δηλαδή στα ενδιάμεσα βήματα ολοκλήρωσης της φυσικής αναπαράστασης. Αυτό συνίσταται, ώστε να διορθώνονται τυχόν λάθη από τα πρώτα στάδια σχεδίασης, τα οποία αν δεν εντοπίζονταν, θα οδηγούσαν με τη σειρά τους σε επιπλέον λάθη και παραβιάσεις των κανόνων σχεδίασης. Κάτι τέτοιο όμως δεν είναι επιθυμητό, γιατί δεν διευκολύνει καθόλου τη σχεδίαση. Για το λόγο αυτό, κατά την υλοποίηση των σχεδιαστικών κομματιών, που περιλαμβάνει η βιβλιοθήκη που σχεδίασα, πραγματοποιούσα συχνά τον έλεγχο DRC.

2) ο έλεγχος **LVS (Layout Versus Schematic)**, με τον όποιο ελέγχεται η αντιστοιχία-ταυτοποίηση των δυο αναπαραστάσεων schematic-layout, δηλαδή ελέγχεται κατά πόσο ταιριάζουν οι συνδέσεις στη φυσική αναπαράσταση με αυτές από την αντίστοιχη αρχική σχηματική αναπαράσταση. Ο έλεγχος αυτός μπορεί να πραγματοποιηθεί, εφόσον το σχεδιαστικό κομμάτι (cell) περάσει επιτυχώς τον έλεγχο DRC. Συγκεκριμένα, αφού έχει πραγματοποιηθεί επιτυχώς ο έλεγχος DRC, δημιουργούμε ένα άλλο είδος αναπαράστασης του cell, την extracted view (η περιγραφή της θα γίνει αναλυτικά παρακάτω) και την οποία χρησιμοποιούμε για την πραγματοποίηση του ελέγχου LVS. Συγκρίνουμε την σχηματική αναπαράσταση και την extraceted αναπαράσταση, για να επαληθεύουμε την ταυτοποίηση των αναπαραστάσεων schematic και layout και κατά συνέπεια την ορθότητα του σχεδίου μας. Είναι πολύ πιθανό ένα σχέδιο να παίρνει τον έλεγχο DRC, αλλά να εμφανίζει λάθος στον έλεγχο LVS, δηλαδή να μην ταιριάζουν επακριβώς οι δυο αναπαραστάσεις. Όποτε και θα πρέπει να γίνουν οι κατάλληλες διορθώσεις, έτσι ώστε να φτάσουμε σε ένα σημείο που δεν εμφανίζονται λάθη και ταιριάζουν επακριβώς οι δυο αναπαραστάσεις.

4.4.1 ΠΕΡΙΓΡΑΦΗ ΤΟΥ ΕΛΕΓΧΟΥ DRC

Για την πραγματοποίηση του έλεγχου DRC, επιλέγουμε από το μενού εντολών Verify-> DRC και εμφανίζεται στην οθόνη το αντίστοιχο παράθυρο.

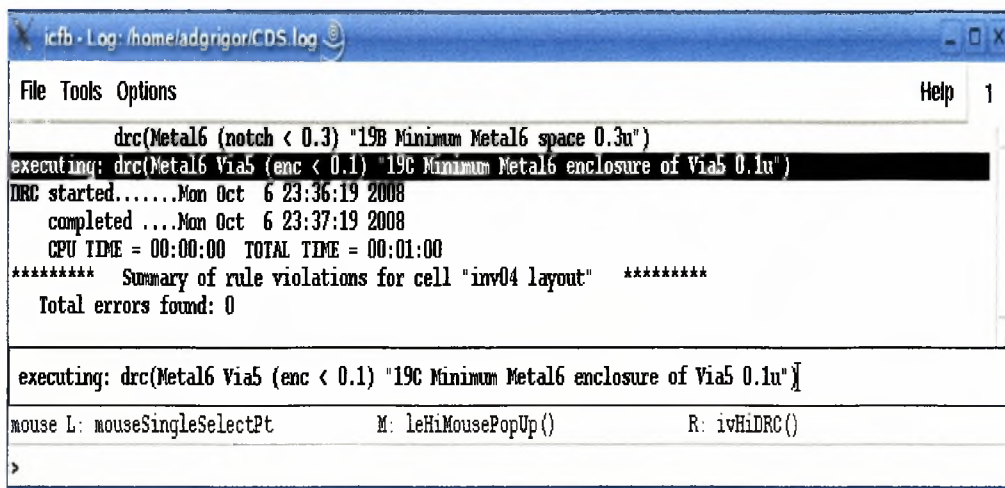


ΕΙΚΟΝΑ 64. ΠΑΡΑΘΥΡΟ ΕΛΕΓΧΟΥ DRC

Στο συγκεκριμένο παράθυρο, παρατηρούμε το αρχείο που περιλαμβάνει τους κανόνες Rules File, το οποίο είναι το divaDRC.rul και η αντίστοιχη βιβλιοθήκη Rules Library, η οποία είναι η βιβλιοθήκη gpd.

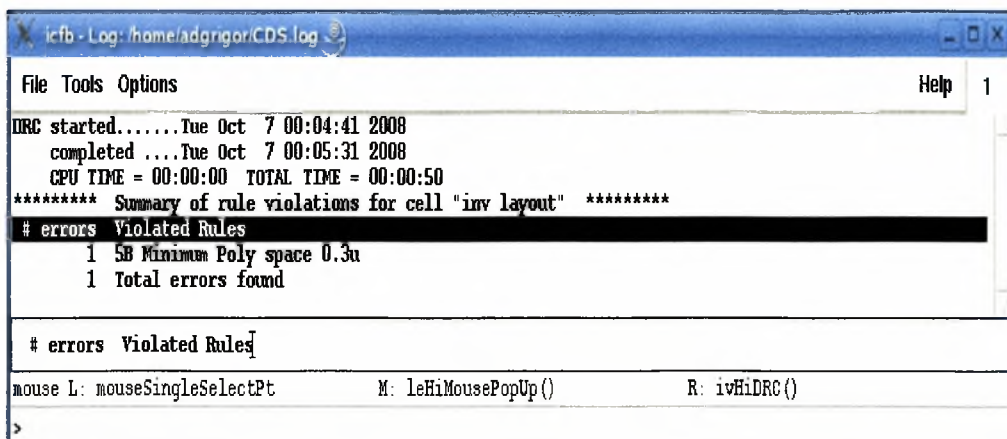
Στο παράθυρο αυτό επιλεγούμε OK και περιμένουμε μέχρι να ολοκληρώσει ο έλεγχος. Αυτό συνήθως διαρκεί κάποια δευτερόλεπτα. Στη συνέχεια, ανάλογα με το αν έχει επιτύχει ή όχι ο έλεγχος DRC, εμφανίζονται στο παράθυρο CIW ανάλογα μηνύματα.

Σε περίπτωση επιτυχούς έλεγχου, στο CIW τα μηνύματα δηλώνουν ρητά ότι ο έλεγχος πέτυχε και ότι δεν παραβιάζονται οι κανόνες σχεδίασης



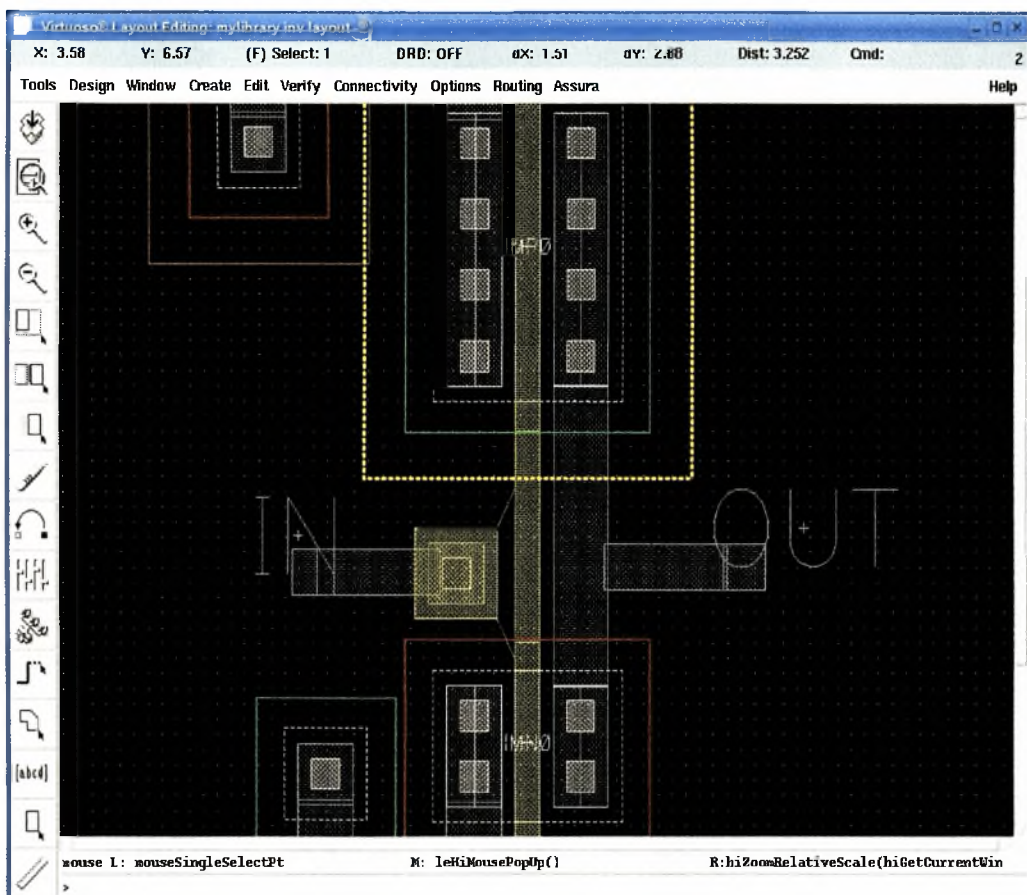
ΕΙΚΟΝΑ 65. ΠΑΡΑΘΥΡΟ CIW ΜΕ ΕΠΙΤΥΧΗ ΕΛΕΓΧΟ DRC

Σε περίπτωση που ο έλεγχος αποτύχει, τότε στο CIW εμφανίζονται τα κατάλληλα μηνύματα, τα οποία περιλαμβάνουν τα λάθη που προκύπτουν.



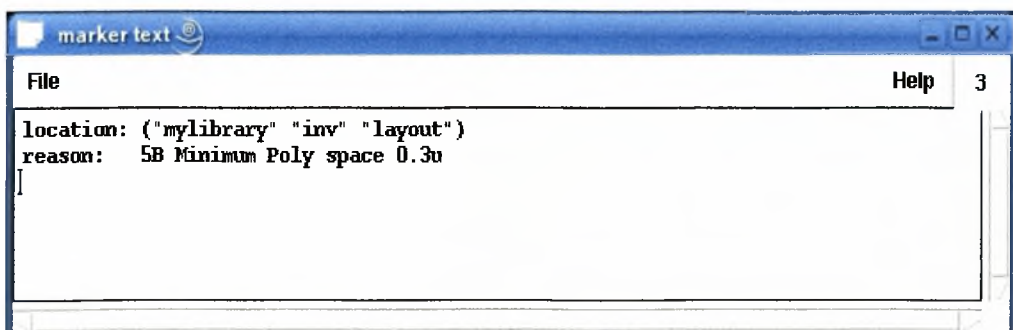
ΕΙΚΟΝΑ 66. ΠΑΡΑΘΥΡΟ CIW ΜΕ ΜΗ ΕΠΙΤΥΧΗ ΕΛΕΓΧΟ DRC

Τα λάθη εντοπίζονται και στο παράθυρο σχεδίασης. Συγκεκριμένα χρησιμοποιούνται κάποιοι «δείκτες» (markers) στο σημείο όπου υπάρχει το λάθος και οι οποίοι αναβοσβήνουν για να γίνονται ξεκάθαρα τα λάθη.



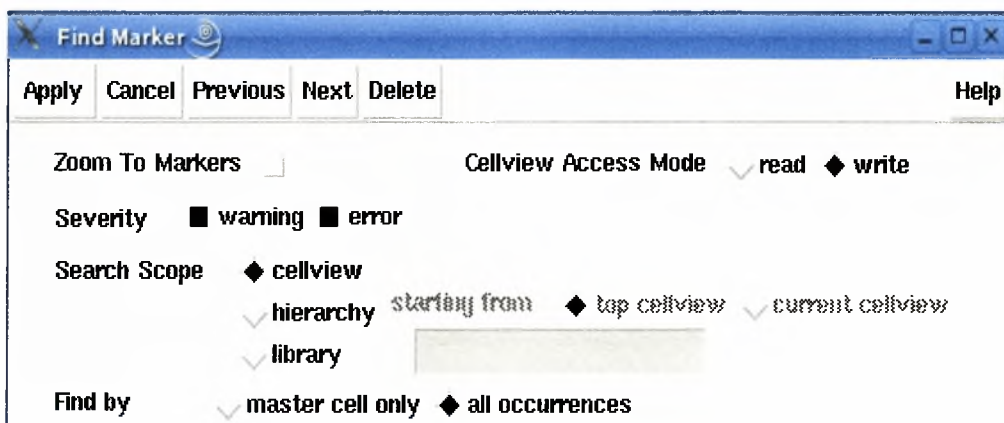
ΕΙΚΟΝΑ 67. ΣΤΙΓΜΙΟΤΥΠΟ ΠΥΛΗΣ NOT ΜΕ ΠΑΡΑΒΙΑΣΗ ΚΑΠΟΙΩΝ ΚΑΝΟΝΩΝ (ΥΠΑΡΞΗ ΛΑΘΟΥΣ ΣΤΗΝ ΥΛΟΠΟΙΗΣΗ)

Σε περίπτωση που τα μηνύματα, που εμφανίζονται στο CIW, δεν είναι ξεκάθαρα ως προς το είδος του λάθους και κατά συνέπεια ο σχεδιαστής αδυνατεί να καταλάβει και να εντοπίσει το λάθος, επιλέγουμε από το μενού εντολών Verify-> Markers-> Explain και εμφανίζεται στην οθόνη ένα καινούργιο παράθυρο, το οποίο ονομάζεται marker text και το οποίο περιλαμβάνει όλα τα λάθη, περιγράφοντας για καθένα τη τοποθεσία και το είδος του.



ΕΙΚΟΝΑ 68. ΠΑΡΑΘΥΡΟ ΠΕΡΙΓΡΑΦΗΣ ΛΑΘΩΝ

Σε περίπτωση που το σχέδιο μας είναι τόσο μεγάλο, και ο σχεδιαστής δεν μπορεί να αναγνωρίσει τους «δείκτες», τότε επιλέγοντας από το μενού εντολών Verify-> Markers-> Find εμφανίζεται στην οθόνη ένα καινούργιο παράθυρο, το οποίο ονομάζεται Find Marker. Επιλέγοντας κάθε φορά την δυνατότητα Apply μεταφερόμαστε στο επόμενο λάθος στη λίστα των λαθών που περιλαμβάνονται στο παράθυρο marker text και αναβοσβήνει στο παράθυρο σχεδίασης ο «δείκτης» που αντιστοιχεί στο συγκεκριμένο λάθος



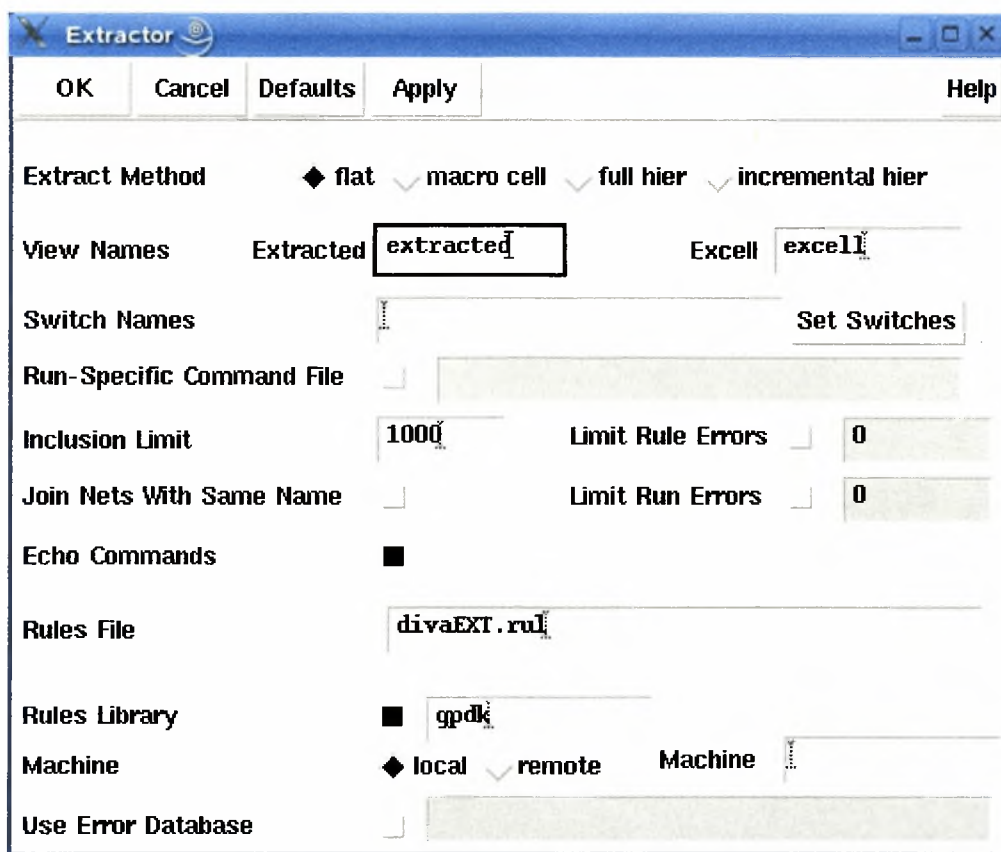
ΕΙΚΟΝΑ 69. ΠΑΡΑΘΥΡΟ ΕΥΡΕΣΗΣ ΔΕΙΚΤΩΝ

4.4.2 ΠΡΑΓΜΑΤΟΠΟΙΗΣΗ ΤΟΥ ΕΛΕΓΧΟΥ LVS

Για την πραγματοποίηση του έλεγχου LVS, πρέπει πρώτα να δημιουργήσουμε την αναπαράσταση extract, εφόσον το συγκεκριμένο σχέδιο (cell), έχει επιτύχει τον έλεγχο DRC.

4.4.2.1 ΠΕΡΙΓΡΑΦΗ ΤΗΣ ΑΝΑΠΑΡΑΣΤΑΣΗΣ EXTRACTED

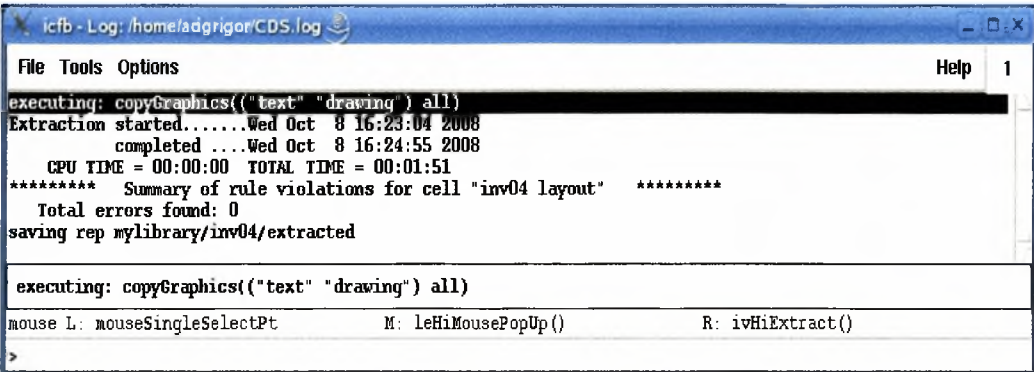
Έχοντας ανοιχτό το συγκεκριμένο σχέδιο (cell) στην αναπαράσταση layout, από το αντίστοιχο παράθυρο σχεδίασης επιλέγουμε από το μενού εντολών Verify -> Extract και εμφανίζεται στην οθόνη το αντίστοιχο παράθυρο, το οποίο ονομάζεται Extractor



ΕΙΚΟΝΑ 70. ΠΑΡΑΘΥΡΟ ΔΗΜΙΟΥΡΓΙΑΣ ΑΝΑΠΑΡΑΣΤΑΣΗΣ EXTRACT

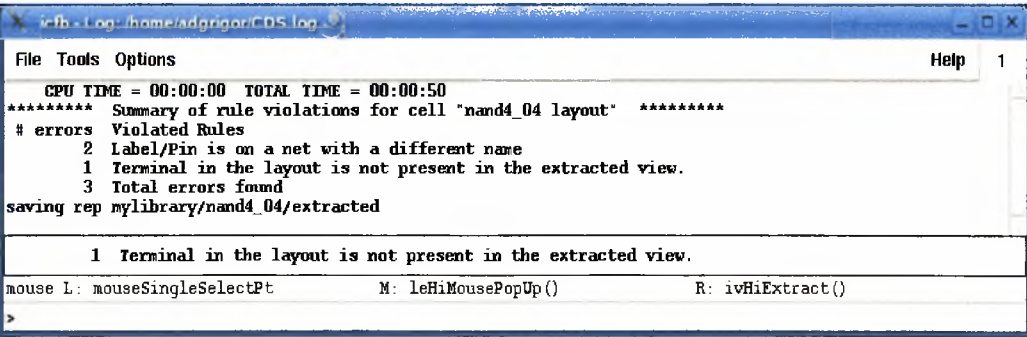
Στο συγκεκριμένο παράθυρο, παρατηρούμε το αρχείο που περιλαμβάνει τους κανόνες Rules File, το οποίο είναι το divaEXT.rul και η αντίστοιχη βιβλιοθήκη Rules Library, η οποία είναι η βιβλιοθήκη gpdk. Επιλέγουμε OK και εμφανίζεται στο κεντρικό παράθυρο CIW τα αντίστοιχα μηνύματα επιτυχίας ή αποτυχίας.

Σε περίπτωση επιτυχούς έλεγχου, στο CIW τα μηνύματα δηλώνουν ρητά ότι ο έλεγχος πέτυχε, ότι δεν υπάρχουν λάθη και ότι δημιουργήθηκε και σώθηκε το αντίστοιχο αρχείο extracted.



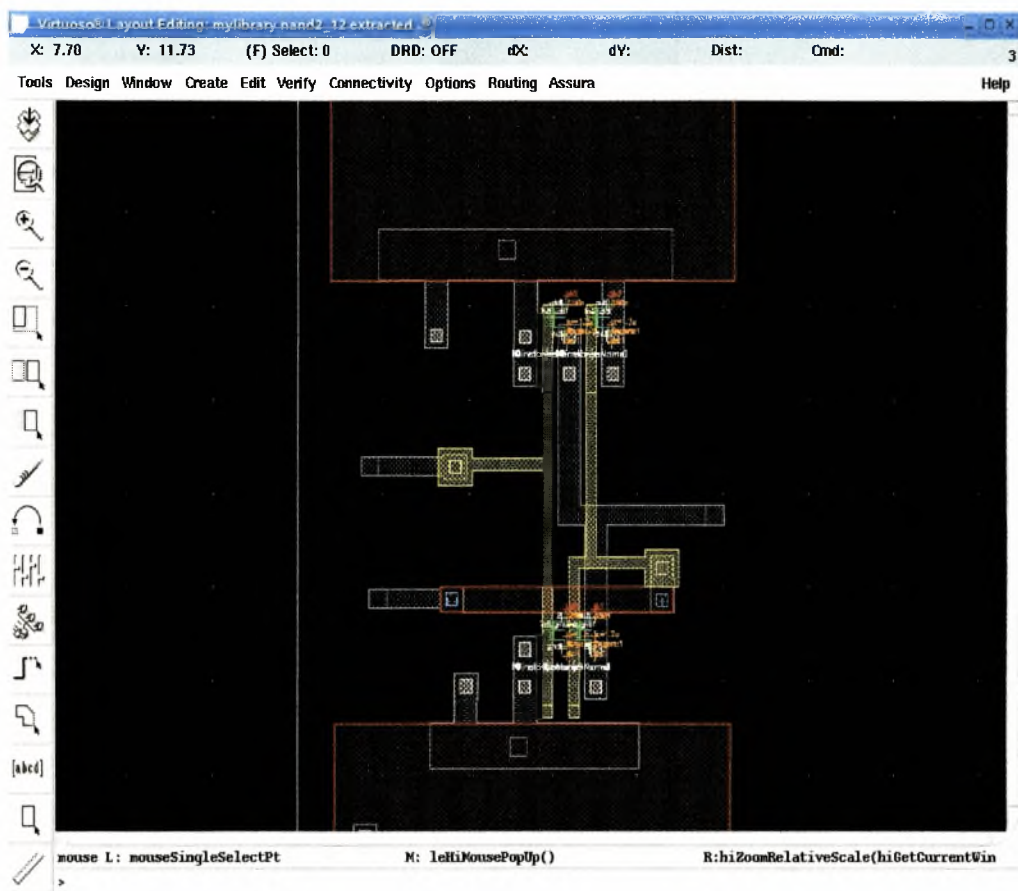
ΕΙΚΟΝΑ 71. ΠΑΡΑΘΥΡΟ CIW ΜΕ ΕΠΙΤΥΧΗ ΔΗΜΙΟΥΡΓΙΑ ΑΝΑΠΑΡΑΣΤΑΣΗΣ LVS

Σε περίπτωση που ο έλεγχος αποτύχει , τότε στο CIW εμφανίζονται τα κατάλληλα μηνύματα, τα οποία περιλαμβάνουν τα λάθη που προκύπτουν. Για να συνεχίσουμε με τη διαδικασία ελέγχου LVS, πρέπει στην περίπτωση αυτή να βρούμε και να διορθώσουμε τα λάθη, διαφορετικά δεν γίνεται να ολοκληρωθεί η επαλήθευση.



ΕΙΚΟΝΑ 72. ΠΑΡΑΘΥΡΟ CIW ΜΕ ΜΗ ΕΠΙΤΥΧΗ ΔΗΜΙΟΥΡΓΙΑ ΑΝΑΠΑΡΑΣΤΑΣΗΣ LVS

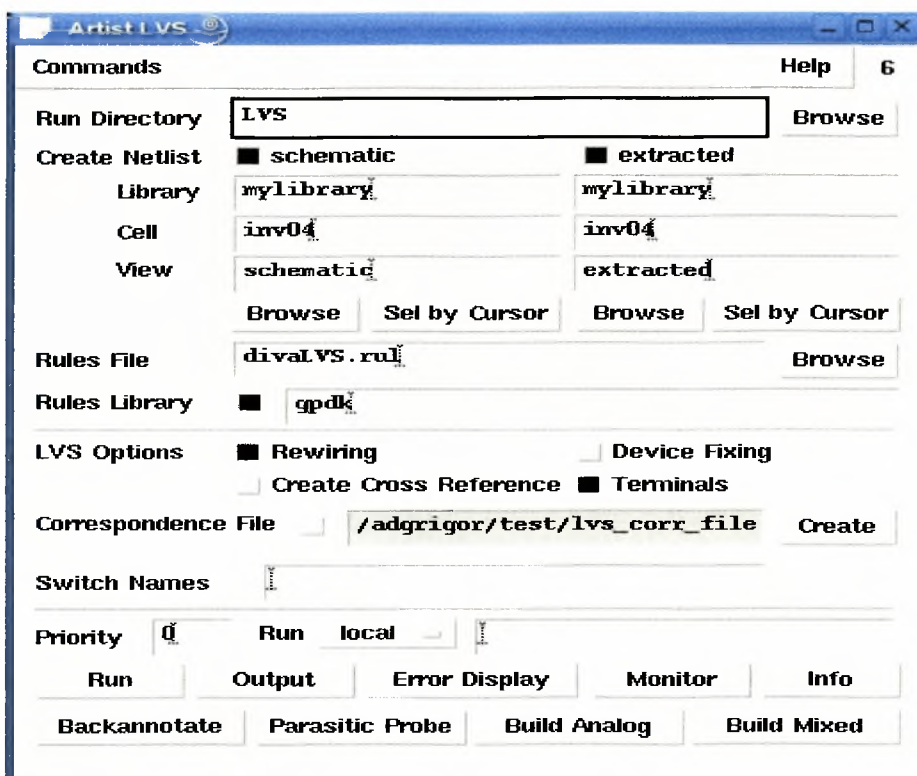
Παρακάτω δίνεται ένα παράδειγμα μιας πύλης σε αναπαράσταση extracted



ΕΙΚΟΝΑ 73. ΠΥΛΗ NAND 2 ΕΙΣΟΔΩΝ ΣΕ ΑΝΑΠΑΡΑΣΤΑΣΗ EXTRACTED

4.4.2.2 ΠΕΡΙΓΡΑΦΗ ΤΟΥ ΕΛΕΓΧΟΥ LVS

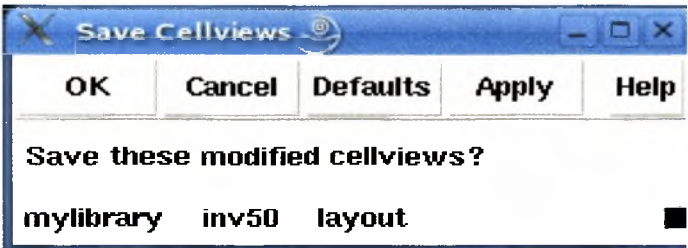
Αφού δημιουργηθεί σωστά η αναπαράσταση extracted, μπορούμε να προχωρήσουμε στον έλεγχο LVS. Επιλέγουμε από το μενού εντολών Verify -> LVS και εμφανίζεται στην οθόνη ένα νέο παράθυρο, το οποίο ονομάζεται Artist LVS



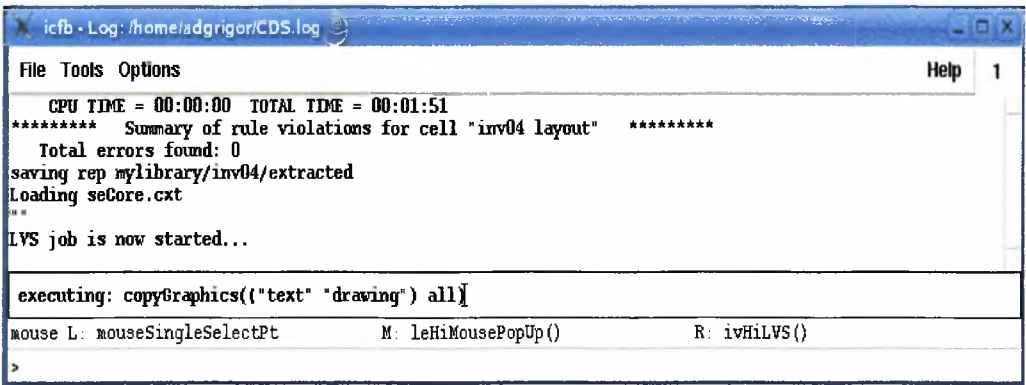
ΕΙΚΟΝΑ 74. ΠΑΡΑΘΥΡΟ ΕΛΕΓΧΟΥ LVS

Στο συγκεκριμένο παράθυρο, επιλέγουμε για Run Directory το LVS και παρακάτω για να δημιουργήσουμε την αναπαράσταση netlist, εισάγουμε το όνομα της βιβλιοθήκης (Library), το όνομα του συγκεκριμένου σχεδίου, του οποίου θέλουμε να επαληθεύσουμε την ορθότητα (Cell), και τέλος το είδος της αναπαράστασης (View). Αξίζει να τονιστεί, όπως φαίνεται και από το παραπάνω παράθυρο, ότι χρησιμοποιούμε την σχηματική αναπαράσταση (schematic view) και την αναπαράσταση extracted, για να κάνουμε τον έλεγχο DRC και όχι την φυσική αναπαράσταση (layout view). Επιπλέον παρατηρούμε το αρχείο που περιλαμβάνει τους κανόνες Rules File, το οποίο είναι το divaLVS.rul και η αντίστοιχη βιβλιοθήκη Rules Library, η οποία είναι η βιβλιοθήκη gpdk. Επίσης το Correspondence File είναι το lvs_corr_file το οποίο βρίσκεται στο φάκελο, όπου εργαζόμαστε.

Στο παράθυρο αυτό επιλεγούμε Run και περιμένουμε μέχρι να ολοκληρώσει ο έλεγχος. Αυτό συνήθως διαρκεί κάποια δευτερόλεπτα. Μέχρι να ολοκληρωθεί ο έλεγχος, εμφανίζεται στην οθόνη ένα νέο παράθυρο, το οποίο ονομάζεται Save cellviews, και στο οποίο ζητείται να αποθηκευτούν οι αλλαγές στις παραπάνω αναπαραστάσεις, ενώ στο παράθυρο CIW εμφανίζονται το κατάλληλο μήνυμα.



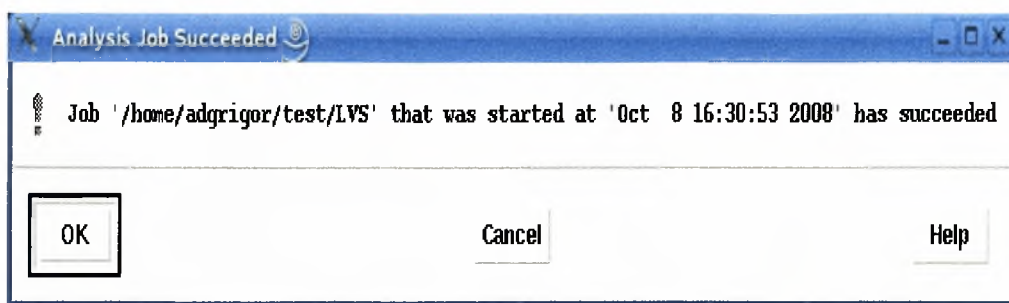
ΕΙΚΟΝΑ 75. ΠΑΡΑΘΥΡΟ ΑΠΟΘΗΚΕΥΣΗΣ ΑΛΛΑΓΩΝ .



ΕΙΚΟΝΑ 76. ΠΑΡΑΘΥΡΟ CIW ΚΑΤΑ ΤΗ ΔΙΑΡΚΕΙΑ ΠΡΑΓΜΑΤΟΠΟΙΗΣΗΣ ΕΛΕΓΧΟΥ LVS

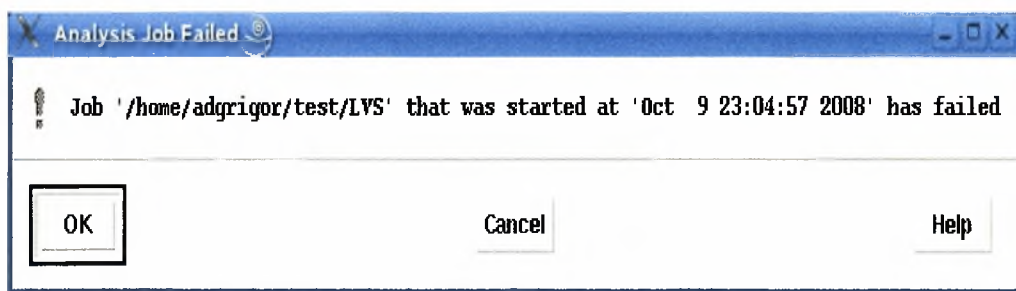
Στη συνέχεια, και αφού ολοκληρωθεί η παραπάνω διαδικασία, εμφανίζονται στο παράθυρο CIW ανάλογα μηνύματα.

Σε περίπτωση επιτυχίας, εμφανίζεται στην οθόνη το ακόλουθο παράθυρο, το οποίο ονομάζεται Analysis Job Succeeded και το οποίο δηλώνει ρητά ότι ο έλεγχος πέτυχε, χωρίς αυτό να σημαίνει ότι ο έλεγχος LVS ολοκληρώθηκε και ότι το συγκεκριμένο σχέδιο (cell) πέρασε τον έλεγχο.



ΕΙΚΟΝΑ 77. ΠΑΡΑΘΥΡΟ ΕΠΙΤΥΧΗΣ ΑΝΑΛΥΣΗΣ

Σε περίπτωση αποτυχίας, εμφανίζεται στην οθόνη το ακόλουθο παράθυρο, το οποίο ονομάζεται Analysis Job Failed και το οποίο δηλώνει ρητά ότι ο έλεγχος δεν πέτυχε, οπότε και πρέπει να επιστρέψουμε στη φυσική αναπαράσταση και να διορθώσουμε τα λάθη που παρουσιάστηκαν, ώστε να επιτύχει ο έλεγχος LVS . Επιλέγουμε OK και συνεχίζουμε



ΕΙΚΟΝΑ 78. ΠΑΡΑΘΥΡΟ ΑΠΟΤΥΧΗΣ ΑΝΑΛΥΣΗΣ

Σε περίπτωση επιτυχούς ανάλυσης, επιλέγουμε OK και στη συνέχεια επιστρέφουμε στο παράθυρο Artist LVS και επιλέγουμε Output. Στην οθόνη εμφανίζεται ένα νέο παράθυρο, το οποίο ονομάζεται /home/adgrigor/test/LVS/si.out. Αν στο αρχείο αυτό εμφανιστεί το μήνυμα: " the netlists match.", αυτό σημαίνει ότι ο έλεγχος LVS ολοκληρώθηκε επιτυχώς.

```
File Help 5
e(#)$CDS: LVS.exe version 5.1.0 07/02/2006 21:13 (cicln01) $

Command line: /usr/cadence/IC_5.1.41/tools/dft/bin/32bit/LVS.exe -dir /home/adgrigor/test/LVS -l -s -t /home/adgrigor/test/
Like matching is enabled.
Net swapping is enabled.
Using terminal names as correspondence points.

GENERIC PDK LVS Rules

Net-list summary for /home/adgrigor/test/LVS/layout/netlist
count
4      nets
4      terminals
1      pmos
1      nmos

Net-list summary for /home/adgrigor/test/LVS/schematic/netlist
count
4      nets
4      terminals
1      pmos
1      nmos

Terminal correspondence points
N2      N1      gnd!
N5      N3      in
N4      N4      out
N0      N0      vdd!

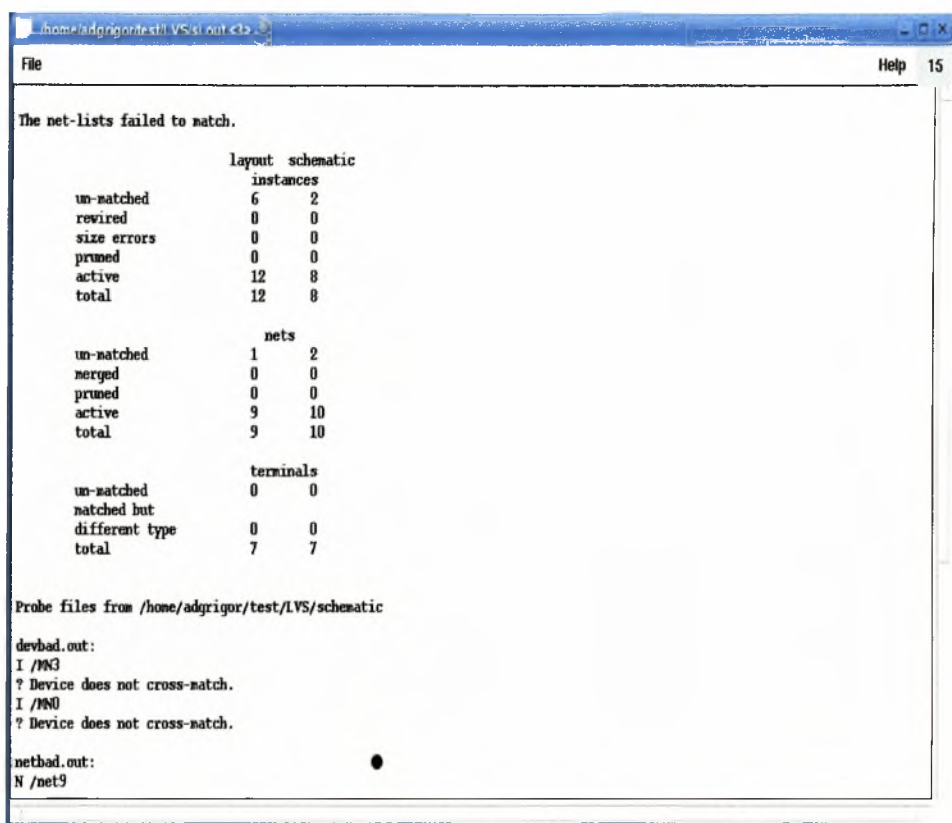
Devices in the rules but not in the netlist:
npluses polyres nmoscap nmoscap vmp vmp vmp inductor ndio pdio

The net-lists match.

layout schematic
```

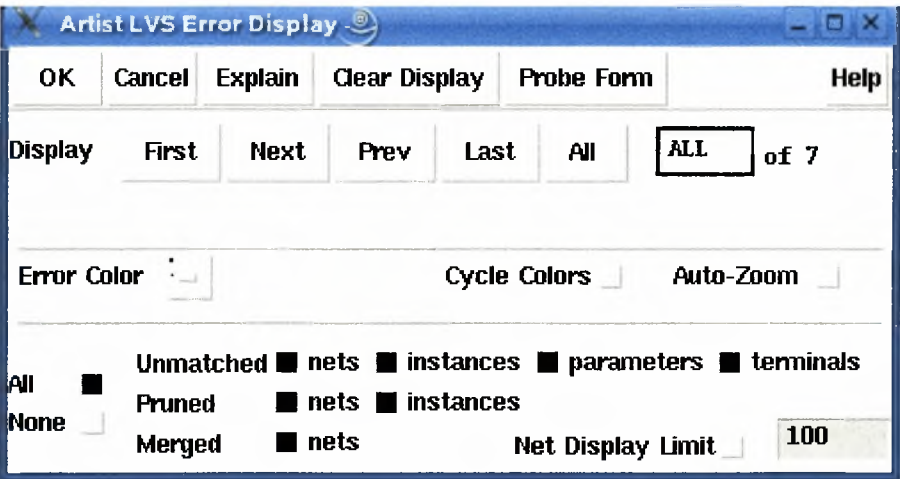
ΕΙΚΟΝΑ 79. ΠΑΡΑΘΥΡΟ ΟΛΟΚΛΗΡΩΣΗΣ ΕΛΕΓΧΟΥ LVS ΜΕ ΕΠΙΤΥΧΙΑ

Υπάρχει περίπτωση, ο έλεγχος LVS να μην ολοκληρωθεί επιτυχώς. Κατά συνέπεια αφού επιλέξουμε Output από το παράθυρο Artist LVS, στην οθόνη θα εμφανιστεί το παράθυρο /home/adgrigor/test/LVS/si.out , αλλά σε αυτό θα εμφανίζεται το μήνυμα : ” the netlists failed to match. ” και θα αναφέρονται και τα κατάλληλα μηνύματα σχετικά με τα λάθη. Οπότε θα πρέπει να διορθώσουμε τα λάθη που παρουσιάζονται.



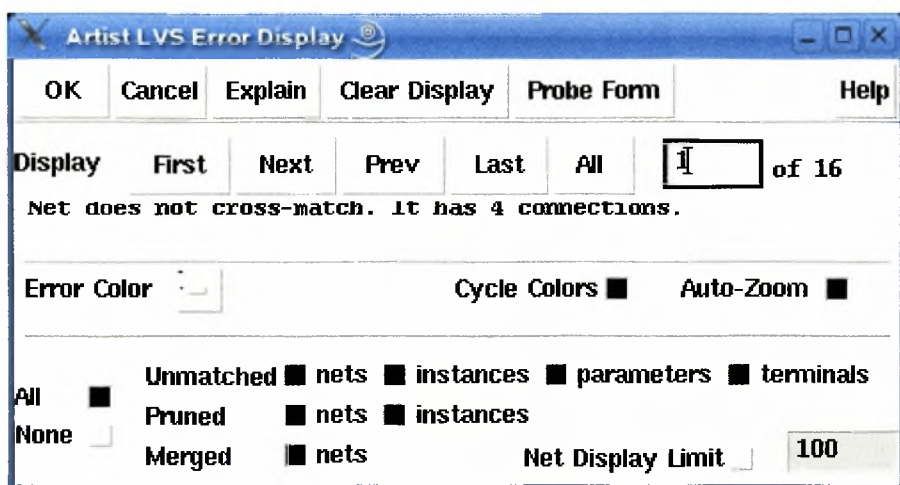
ΕΙΚΟΝΑ 80. ΠΑΡΑΘΥΡΟ ΟΛΟΚΛΗΡΩΣΗΣ ΕΛΕΓΧΟΥ LVS ΜΕ ΑΠΟΤΥΧΙΑ

Σε αυτή τη περίπτωση, έχοντας ανοίξει το παράθυρο της αναπαράστασης extracted από το παράθυρο Artist LVS επιλέγουμε Error display και εμφανίζεται στην οθόνη ένα καινούργιο παράθυρο, το Artist LVS Error Display, το οποίο εξηγεί τα λάθη που εμφανίστηκαν κατά τη διάρκεια του ελέγχου LVS.



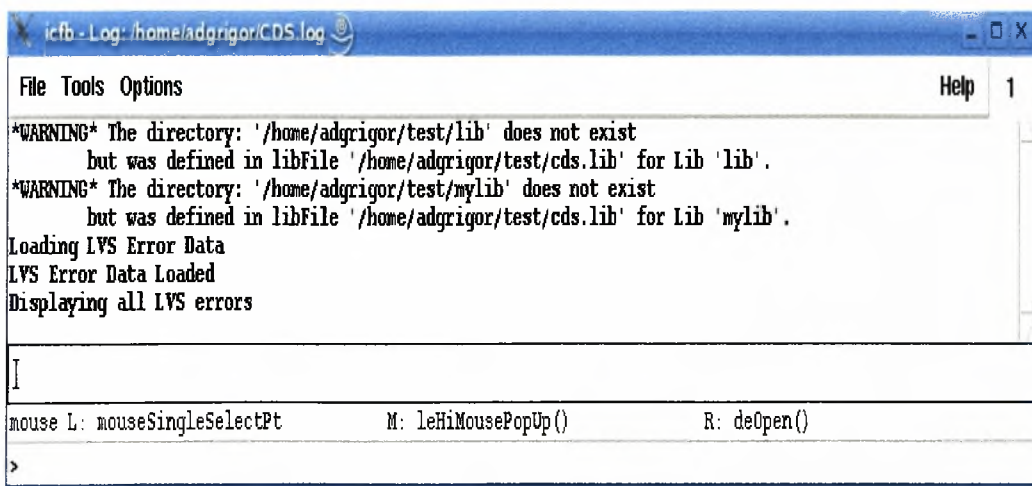
ΕΙΚΟΝΑ 81. ΠΑΡΑΘΥΡΟ ΕΜΦΑΝΙΣΗΣ ΛΑΘΩΝ

Όπως φαίνεται και από την εικόνα 81, στο παράθυρο αυτό επιλέγουμε τη σειρά με την οποία θέλουμε να δούμε τα λάθη, είτε όλα μαζί είτε ένα-ένα ξεκινώντας από το πρώτο. Οπότε χρησιμοποιούμε τις επιλογές First Next Prev Last All και αντίστοιχα εμφανίζεται στο ίδιο παράθυρο η περιγραφή των λαθών (ΕΙΚΟΝΑ 82).

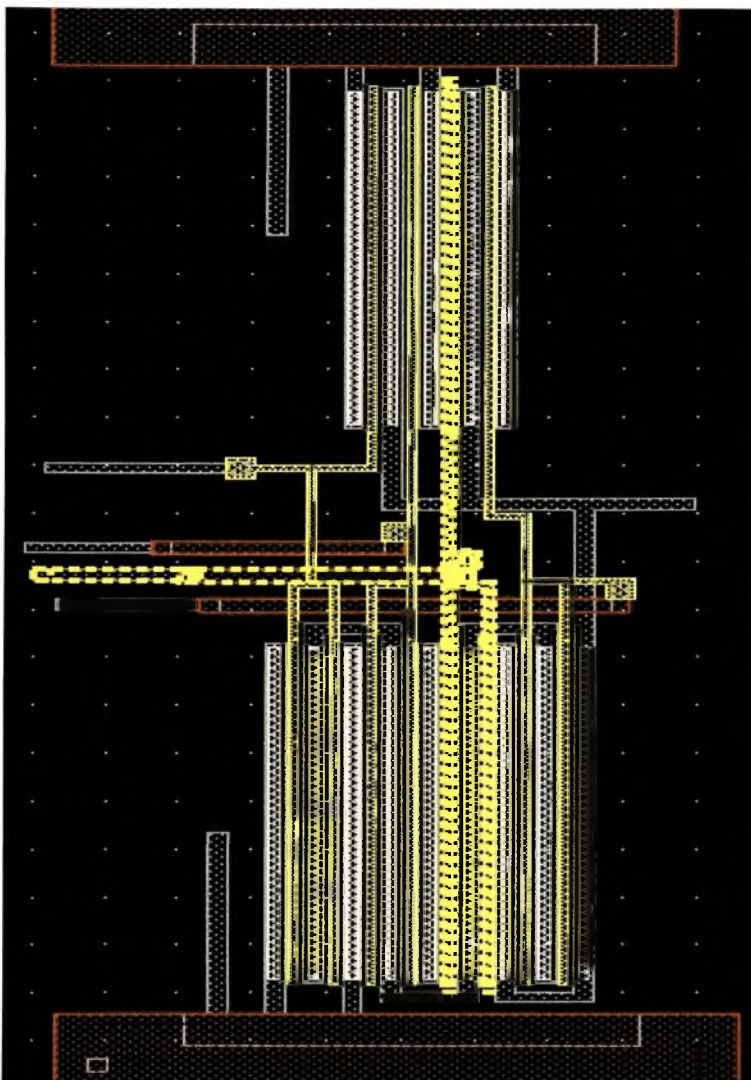


ΕΙΚΟΝΑ 82. ΠΑΡΑΘΥΡΟ ΕΜΦΑΝΙΣΗΣ ΛΑΘΩΝ

Εν τω μεταξύ στο κεντρικό παράθυρο ελέγχου CIW εμφανίζεται το αντίστοιχο μήνυμα (ΕΙΚΟΝΑ 83). Επίσης τα λάθη επισημαίνονται και στο αντίστοιχο παράθυρο σχεδίασης της αναπαράστασης extracted. Οπότε επιλέγοντας από το παράθυρο Artist LVS Error Display να εμφανιστεί η περιγραφή ενός λάθους, ταυτόχρονα επισημαίνεται και στην αναπαράσταση extracted το συγκεκριμένο λάθος (ΕΙΚΟΝΑ 84).



ΕΙΚΟΝΑ 83. ΠΑΡΑΘΥΡΟ CIW ΜΕ ΤΑ ΚΑΤΑΛΛΗΛΑ ΜΗΝΥΜΑΤΑ



ΕΙΚΟΝΑ 84. ΑΝΑΠΑΡΑΣΤΑΣΗ EXTRACTED, ΟΠΟΥ ΕΠΙΣΗΜΑΙΝΕΤΑΙ
ΚΑΠΟΙΟ ΛΑΘΟΣ ΣΤΗΝ ΥΛΟΠΟΙΗΣΗ ΤΟΥ ΣΧΕΔΙΟΥ

5^ο ΕΠΙΛΟΓΟΣ

ΣΥΜΠΕΡΑΣΜΑΤΑ - ΔΥΝΑΤΟΤΗΤΕΣ ΕΠΕΚΤΑΣΗΣ

Η σχεδίαση βασισμένη σε standard cells έχει κυριαρχήσει στο χώρο των VLSI κυκλωμάτων. Σήμερα υπάρχουν ήδη διαθέσιμες κάποιες βιβλιοθήκες από standard cells, η καθεμιά με τα δικά της χαρακτηριστικά και κατασκευασμένη βάσει κάποιου συγκεκριμένου κριτηρίου. Η κατασκευή της βιβλιοθήκης που περιγράφεται στην συγκεκριμένη εργασία έχει πολλές δυνατότητες επέκτασης. Αυτό μπορεί να επιτευχθεί με την προσθήκη επιπλέον πυλών, περισσότερο πολύπλοκων, ή και ακολουθιακών κυκλωμάτων όπως flip-flop, πέρα από αυτές που περιλαμβάνει. Μια τέτοια επέκταση δεν μπορεί να είναι παρά μόνο ιδιαίτερη ελκυστική και ενδιαφέρουσα.

ΒΙΒΛΙΟΓΡΑΦΙΑ

1. Cadence, <http://www.cadence.com/us/pages/default.aspx>
2. Cadence Design Tutorial, <http://www.ee.virginia.edu/~mrs8n/cadence/tutorial1.html>
3. Cadence Design Tutorial, <http://www.cs.ucr.edu/cs168/cs168-04win/lab1/lab1.html>
4. Cadence Layout Examples, <http://python.ecs.umass.edu/~cad/cadence/Vertuoso.html>
5. Cadence Layout NOT gate,
<http://www.ece.umd.edu/~dilli/research/layout/cadencetutorial/cadencedemo7.html>
6. Cadence Auto-Layout Generation, <http://fp.okstate.edu/lgjohn/cadence/AutoLayoutSim.pdf>
7. Digital VLSI Design Tutorial for Cadence,
<http://www.cs.utah.edu/classes/cs5830/tutorials/cad-aartist.pdf>
8. Cadence Manual, http://www.seas.upenn.edu/~ese570/manual_1.htm
9. Schematic Tutorial in Cadence, <http://www.utdallas.edu/~jxy027000/CadenceTutorial.pdf>
10. Layout of an Inverter, <http://www.et.byu.edu/groups/ece451web/cadence-help/tutA3.html>
11. Layout of a NAND,
<http://www.doe.carleton.ca/~shams/ELEC4708/Lab1SchematicInst.pdf>
12. Standard Cell Layout, <http://www.es.lth.se/home/ton/pcc/lab2.pdf>



ΠΑΝΕΠΙΣΤΗΜΙΟ
ΘΕΣΣΑΛΙΑΣ



004000091700

